

DISEÑO DE UNA MÁQUINA REDUCIDA PARA APLICACIONES DIDÁCTICAS USANDO UNA HERRAMIENTA DE CELDAS ESTÁNDAR

P. Gómez, A. Díaz, J. M. Gallardo, V. Rodellar, V. Nieto, L. Alonso, M. Liébana, O. Pérez

Departamento de Arquitectura y Tecnología de Sistemas Informáticos
Facultad de Informática, Universidad Politécnica de Madrid
Campus de Montegancedo, s/n
Boadilla del Monte
28660 Madrid
Tfno: (91) 336 73 84
Fax: (91) 336 74 12
e-mail: pedro@pino.datsi.fi.upm.es

RESUMEN

El presente trabajo expone una experiencia de enseñanza de Diseño VLSI utilizando una herramienta basada en Celdas Estándar (SOLO 1400) a nivel de alumnos de 5º curso, dentro del Plan de Estudios de 1983 vigente en la Facultad de Informática de la Universidad Politécnica de Madrid. El trabajo revisa los objetivos docentes y de ingeniería del proyecto propuesto, la metodología de trabajo sugerida al alumno y soportada por el entorno docente, y los resultados obtenidos, ofreciendo una reflexión sobre la utilidad práctica de este tipo de experiencias para completar en forma rápida la formación en Ingeniería de Sistemas Informáticos desde el punto de vista de Tecnología de Computadores. Una de las principales conclusiones positivas derivadas de la experiencia relatada, es la capacidad de la herramienta utilizada para obtener resultados tangibles y altamente pedagógicos, cerrando el ciclo de especificación, estructuración "top-down", ensamblaje "bottom-up", verificación, y simulación.

1. INTRODUCCION

El presente trabajo tiene por finalidad exponer las experiencias desarrolladas en torno a la enseñanza de Diseño VLSI en la Facultad de Informática de la Universidad Politécnica de Madrid utilizando una herramienta de diseño basada en Celdas Estándar, suministrada por el Programa EUROCHIP. La citada herramienta se denomina SOLO 1400, y fué concebida para realizar desarrollos rápidos utilizando una librería de celdas estáticas CMOS [1]. El curso en el marco del cual se realizó esta experiencia, se denomina *Tecnología Informática*, y se desarrolla como una asignatura optativa de 5º curso de la

Licenciatura Informática que se imparte en dicha Facultad, con un total de 9 créditos, de carácter anual. La formación con que cuentan los alumnos que acceden a la misma, en temas relacionados con el Diseño VLSI, consiste en una asignatura de introducción a la Tecnología de Computadores de 15 créditos, una asignatura de Diseño Digital de 15 créditos, y una asignatura de Estructuras de Computadores de 15 créditos. La asignatura de *Tecnología Informática* les proporciona una panorámica introductoria sobre el Proceso Tecnológico CMOS, seguida de una descripción de los estilos de diseño *Full-Custom* y *Semi-Custom*, y de una panorámica sobre las Herramientas CAD utilizadas en ambos casos. Como complemento a dicha actividad, los alumnos deben desarrollar un Proyecto de Diseño optativo, a elegir de entre un conjunto de propuestas diferentes, durante el último trimestre de duración del curso. Una de estas prácticas es la que se describe en el presente trabajo, haciendo hincapié en su planteamiento, concepción y desarrollo.

2. ESPECIFICACIONES DE DISEÑO

Estructura del Pico-Computador

El Proyecto de Diseño que se describe, consiste en la realización VLSI de una estructura de máquina de Von Neumann de características reducidas, que la hacen especialmente adecuada para la comprensión de los diferentes niveles de especificación, concepción estructural y diseño físico involucrados en la misma, y que se ha denominado con el significativo nombre de *Pico-Computador* [2]. La estructura del Pico-Computador se puede ver reflejada en la Figura 1. Básicamente, consiste en una pila de cinco registros, accesibles desde tres buses, una Unidad Aritmético-Lógica programable (ALU), una Memoria de 8192 palabras de 16 bits, y una Unidad de Control de tipo PLA. Los registros MDR y MAR soportan la interfaz con memoria, conteniendo datos y direcciones, respectivamente, en 16 y 13 bits. El registro PC actúa como contador de programa, aunque no es un verdadero contador, en el sentido de que su contenido es incrementado en la cantidad deseada directamente por la ALU. La señal RST inicializa dicho registro al valor 0000H. El registro IR contiene la instrucción en ejecución, y AC es un registro acumulador que permite realizar operaciones aritméticas y lógicas entre el dato en él depositado, y el que circule por la sección A del Bus Interno. La Interfaz con Memoria consta de un Bus de Direcciones de 13 bits, de un Bus de Datos de 16 bits, y de cuatro señales de control. De ellas, OP indica el inicio de un ciclo de acceso a memoria, R/W expresa el tipo de acceso (lectura/escritura), y SM especifica si la carga de un dato en MDR procede del Bus Interno (Sección B), o de la Memoria, a través del multiplexor MUX. La memoria genera una señal de Dato Listo (DR) para sincronizar la aceptación de datos en escritura. Los registros que manejan direcciones (MAR, PC, IR) acceden a la sección A del Bus Interno en 16 bits mediante la adición de bits nulos (extensión positiva de signo) en el caso de PC y MAR, o mediante una extensión de signo en el caso de IR. Los cinco registros son accesibles desde el Bus Interno (Sección B). Las salidas al Bus Interno (Sección A) se controlan mediante mecanismos tri-estado con las señales $E_{1,5}$, mientras que su carga se controla mediante las señales $L_{1,5}$.

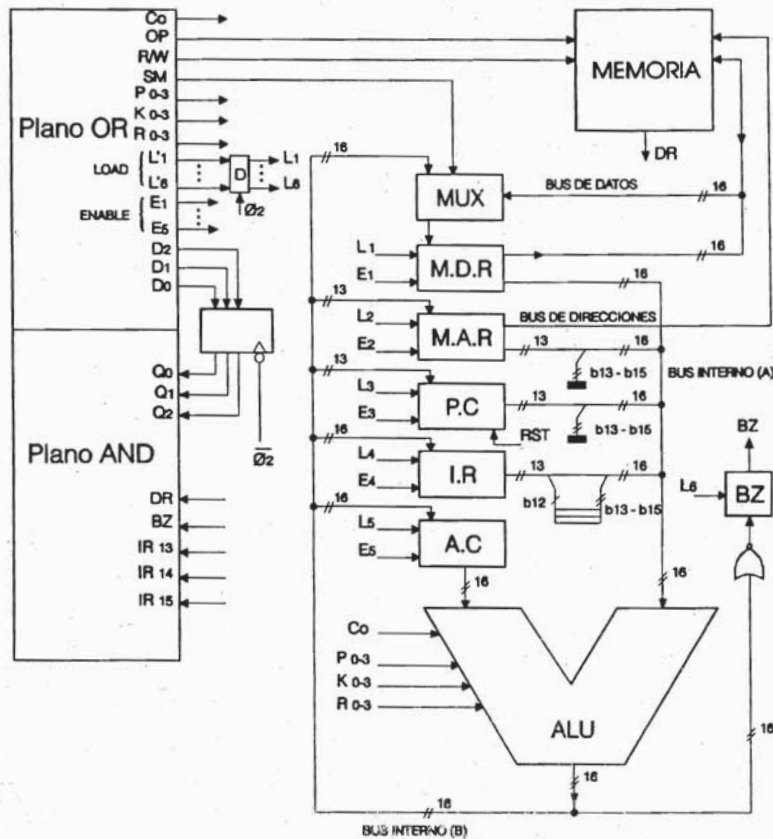


Figura 1. Estructura general del Pico-Computador

La ALU sigue el diseño de Mead y Conway [3], y puede ser programada de forma muy flexible mediante las señales de propagación y destrucción de acarreo P_{0-3} y K_{0-3} , y de programación de resultado, R_{0-3} . La condición de resultado nulo, se comprueba y registra en el flip-flop BZ, cuyo contenido es leído por la Unidad de Control en el momento adecuado de ejecución de una instrucción.

Control de Flujo de Ejecución

La Unidad de Control se ha realizado por medio de una PLA que implementa un Autómata de Mealy. A su entrada se introducen las señales de Estado de Máquina Q_{0-2} , junto con las señales DR y BZ, así como los tres bits más significativos del registro de instrucción IR, que codifican una instrucción dada, según el formato de la Figura 2.

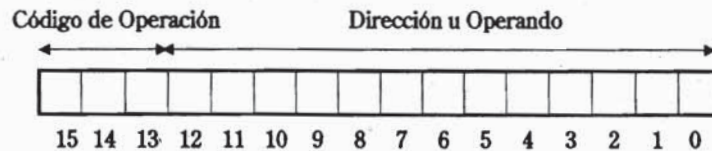


Figura 2. Formato de Instrucción del Pico-Computador

Dicho formato de instrucción, utiliza los tres bits más significativos de una palabra de 16, para codificar ocho posibles instrucciones, según la Tabla 1, que son las de Carga en Acumulador desde Memoria (LDA), Almacena en Memoria desde Acumulador (STA), Suma Memoria con Acumulador (SUM), NOR de Memoria con Acumulador (NOR),

Salto Absoluto si No Cero (JNZ), Salto Absoluto si Cero (JZ), Carga Acumulador con Dato Inmediato (LDI), y Suma Con Acumulador Dato Inmediato (SMI). Los trece bits restantes pueden ser una dirección válida (Modos de Direccionamiento Directo o Absoluto), o un dato válido (Modo de Direccionamiento Inmediato).

I_{15-13}	Formato	Modo	Operación Simbólica
000	LDA <i>Dir</i>	<i>Directo</i>	$[Dir] \rightarrow AC$
001	STA <i>Dir</i>	<i>Directo</i>	$AC \rightarrow Dir$
010	SUM <i>Dir</i>	<i>Directo</i>	$[Dir] + [AC] \rightarrow AC$
011	NOR <i>Dir</i>	<i>Directo</i>	$[Dir] \cup [AC] \rightarrow AC$
100	JNZ <i>Dir</i>	<i>Absoluto</i>	$Dir \rightarrow PC$ si BZ=0
101	JZ <i>Dir</i>	<i>Absoluto</i>	$Dir \rightarrow PC$ si BZ=1
110	LDI <i>Dat</i>	<i>Inmediato</i>	$Dat \rightarrow AC$
111	SMI <i>Dat</i>	<i>Inmediato</i>	$Dat + AC \rightarrow AC$

Tabla 1. Juego de instrucciones del Pico-Computador.

Finalmente, por el plano OR de la PLA se generan tres señales de próximo estado D_{0-2} , cinco señales de autorización de descarga tri-estado E_{1-5} , seis señales de carga de registro L_{1-6} , las doce señales de programación de la ALU P_{0-3} , K_{0-3} , R_{0-3} , y las tres señales de interfaz con memoria OP, R/W y SM. La programación de esta PLA sigue el diagrama ASM [4] de ejecución de una instrucción, mostrado en la Figura 3:

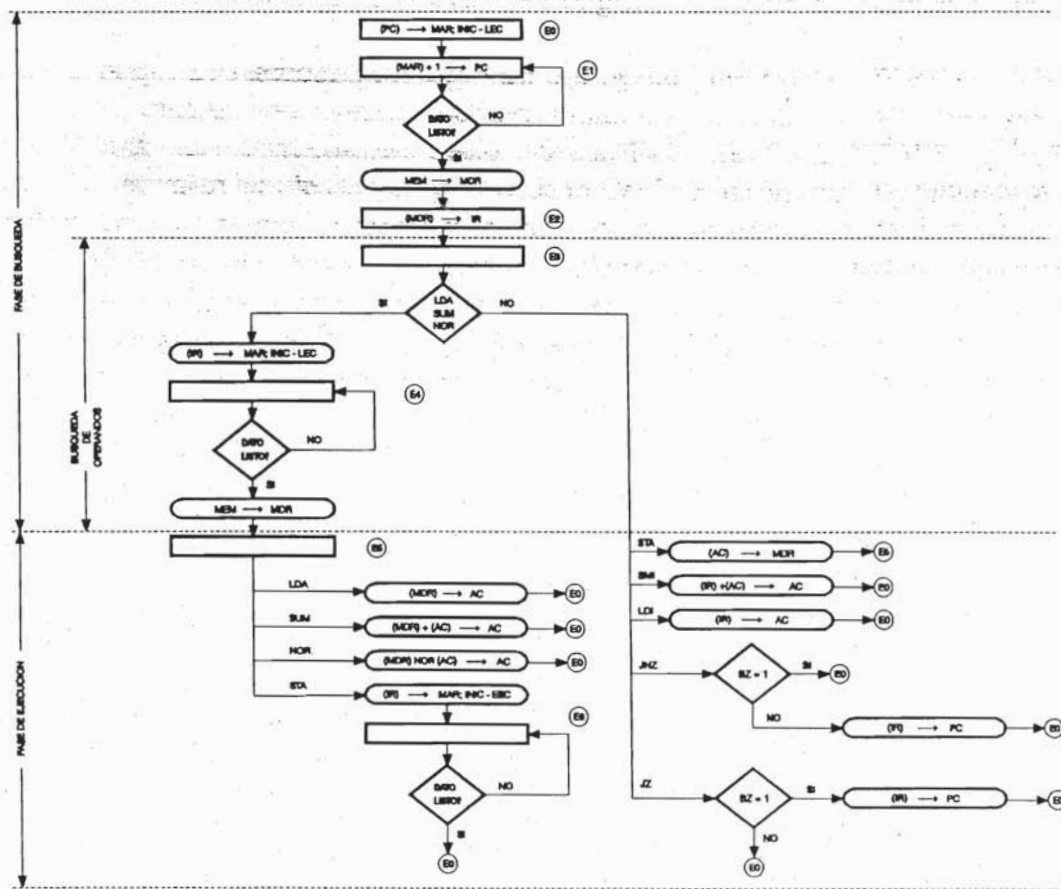


Figura 3. Diagrama ASM del Pico-Computador

Dicho diagrama ASM desglosa la ejecución de una instrucción dada en siete estados, numerados de E_0 a E_6 . Los estados E_0 a E_2 sirven para localizar la instrucción a ejecutar (fetch). Si el modo de direccionamiento fuese de tipo inmediato (LDI, SMI), o absoluto (JZ, JNZ), el estado E_3 sería el de ejecución. Si el modo de direccionamiento requiere la búsqueda adicional de operandos (LDA, SUM, NOR), los estados E_3 y E_4 sirven para realizar dicha búsqueda complementaria, y el estado E_5 sería el de ejecución. El caso de STA es un poco diferente, por lo que pasamos a describirlo a continuación en detalle. Durante el estado E_0 se procede a depositar el contenido de PC en el Registro de Direccionamiento, y se inicia una lectura activando OP y $R/W=1$. Durante el estado E_1 se incrementa el contenido de PC, y se espera hasta que la memoria responda con $DR=1$, momento en que se lee el Bus de Datos sobre MDR. De esta forma, se ha capturado una palabra de 16 bits, los tres más significativos codificando dicha instrucción. En el estado E_2 se deposita esta información en el registro de instrucción IR, con lo que ha terminado la fase de búsqueda. En el estado E_3 se procede al inicio de la fase de ejecución, al almacenar el contenido del acumulador (a depositar finalmente en memoria) en el registro de dato MDR. Se pasa entonces al estado E_5 , donde se deposita el campo de dirección (bits IR_{12-0}) en el registro de direccionamiento MAR, y en el estado E_6 se inicia una acción de escritura con $OP=1$, $R/W=0$, para depositar el contenido de MDR en la dirección señalada por MAR, finalizando la ejecución.

Programación del Automata de Control

La Figura 4 muestra el Diagrama de Estados del autómata implícito en el Diagrama ASM, deducido de forma sencilla del mismo.

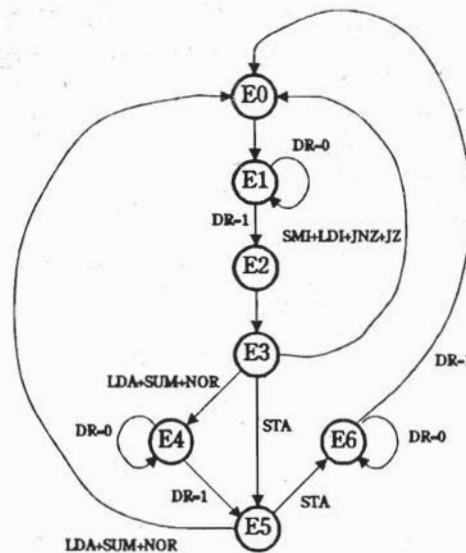


Figura 4. Diagrama de Estados del Automata

Asociada con dicho Diagrama de Estados, se puede elaborar la Tabla de Estados y Transiciones que se presenta en la Tabla 2. Dicha tabla tiene tantas entradas (22) como arcos individualizados se deducen del Diagrama de Estados de la Figura 4. Así, por ejemplo, del estado E_3 , para alcanzar el estado E_4 , existen 6 posibles vías,

correspondientes dos de ellas a los códigos de SMI o LDI, dos más al código de JZ asociado a los dos valores de BZ, y similarmente, dos más al código de JNZ.

Term	IR ₁₅	IR ₁₄	IR ₁₃	BZ	DR	Q2	Q1	Q0	COP	D2	D1	D0	E	L	P30	K30	R30	IM
0	X	X	X	X	X	0	0	0	-	0	0	1	E3	L2	1100	1111	1010	OP,R/W
1	X	X	X	X	0	0	0	1	-	0	0	1	E2	L2	1100	0011	0100	C0=1
2	X	X	X	X	1	0	0	1	-	0	1	0	-	L1	xxxx	xxxx	0100	SM=1
3	X	X	X	X	X	0	1	0	-	0	1	1	E1	L4	1100	1111	1010	-
4	0	0	0	X	X	0	1	1	LDA	1	0	0	E4	L2	1100	1111	1010	OP,R/W
5	0	0	1	X	X	0	1	1	STA	1	0	1	E5	L1	0011	1111	1010	SM=0
6	0	1	0	X	X	0	1	1	SUM	1	0	0	E4	L2	1100	1111	1010	OP,R/W
7	0	1	1	X	X	0	1	1	NOR	1	0	0	E4	L2	1100	1111	1010	OP,R/W
8	1	0	0	0	X	0	1	1	JNZ	0	0	0	E4	L3	1100	1111	1010	-
9	1	0	0	1	X	0	1	1	JNZ	0	0	0	-	-	xxxx	xxxx	0000	-
10	1	0	1	0	X	0	1	1	JZ	0	0	0	-	-	xxxx	xxxx	0000	-
11	1	0	1	1	X	0	1	1	JZ	0	0	0	E4	L3	1100	1111	1010	-
12	1	1	0	X	X	0	1	1	LDI	0	0	0	E4	L5	1100	1111	1010	-
13	1	1	1	X	X	0	1	1	SMI	0	0	0	E4 E5	L5	0110	0001	0110	-
14	X	X	X	X	0	1	0	0	-	1	0	0	-	-	xxxx	xxxx	0000	-
15	X	X	X	X	1	1	0	0	-	1	0	1	-	L1	xxxx	xxxx	0000	SM=1
16	0	0	0	X	X	1	0	1	LDA	0	0	0	E1	L5	1100	1111	1010	-
17	0	0	1	X	X	1	0	1	STA	1	1	0	E4	L2	1100	1111	1010	OP,R/W
18	0	1	0	X	X	1	0	1	SUM	0	0	0	E1 E5	L5	0110	0001	0110	-
19	0	1	1	X	X	1	0	1	NOR	0	0	0	E1 E5	L5	0001	1111	1010	-
20	X	X	X	X	0	1	1	0	-	1	1	0	-	-	xxxx	xxxx	0000	-
21	X	X	X	X	1	1	1	0	-	0	0	0	-	L1	xxxx	xxxx	0000	SM=1

Tabla 2. Tabla de Estados y Transiciones del Pico-Computador

Finalmente, en correspondencia con dicha tabla, se generará la PLA de Control del Pico-Computador, en estilo CMOS, que se muestra en la Figura 5, en que no se ha introducido simplificación alguna respecto a la Tabla 2, para mantener el valor pedagógico de seguimiento de la vía de mapeo desde el diagrama ASM generado, hasta el esquema detallado del Control, aspecto éste que se considera de la máxima relevancia. Ello no obsta para que dicha simplificación se demande del alumno como ejercicio complementario de carácter altamente formativo.

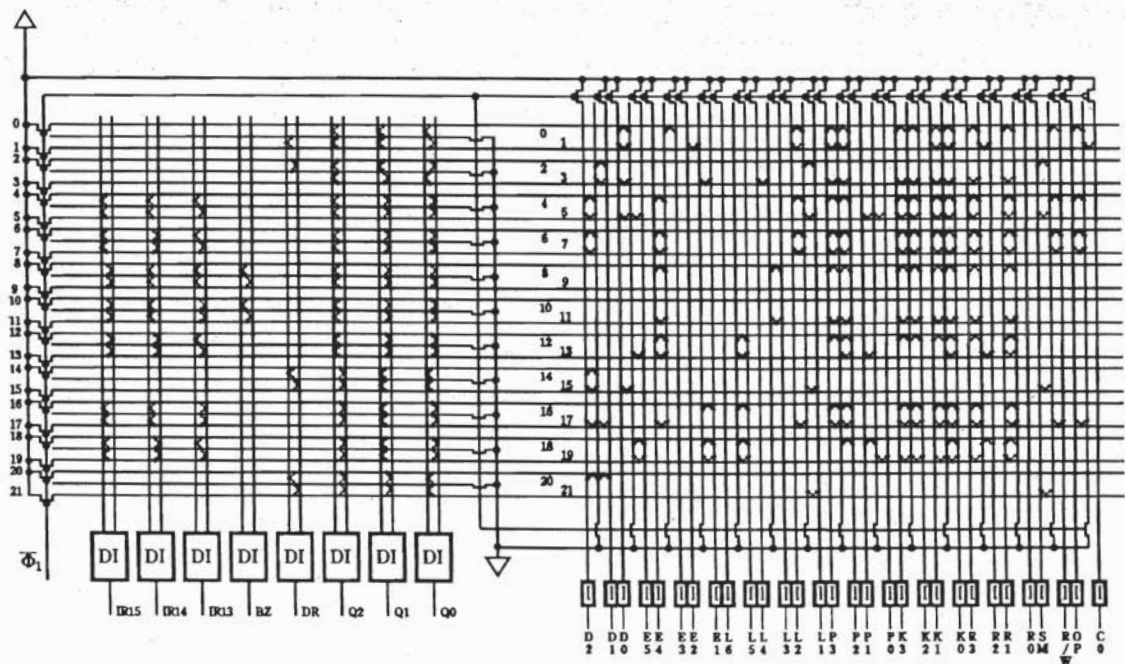


Figura 5. PLA de Control del Pico-Computador

A la vista de la Fig. 5, se puede comprobar que la principal característica de dicha máquina, que la hace especialmente adecuada para su aplicación didáctica, es la de poseer una Unidad de Control fácilmente describible mediante un Diagrama ASM (Algorithmic State Machine), desarrollable en una página física, sintetizada a nivel práctico mediante una PLA, asimismo desarrollable en una página, lo que la hace especialmente fácil de conceptualizar y analizar.

Infraestructura de Trabajo

El entorno de diseño elegido para la realización de la práctica fué la herramienta de Celdas Estandar conocida como *SOLO 1400*, soportada por el programa EUROCHIP. Dicha herramienta podía ejecutarse desde ocho estaciones de trabajo tipo SUN Sparc 2, contra un *server* único. Los alumnos recibieron un corto *training* previo de unas dos horas de duración sobre la interfaz de usuario de dicha herramienta, y dispusieron en todo momento de copia de los manuales de manejo de la misma, y de las librerías de celdas de ES2 en tecnología de 1,5 μm . Como documentación auxiliar para realizar el diseño, se proporcionó a cada equipo de diseño una copia de las especificaciones de funcionamiento del Pico-Computador, consistente en una descripción estructural similar a la dada en las Figuras 1-5 y en las Tablas 1 y 2. Las peculiaridades de funcionamiento de cada una de las partes en que se dividió el diseño (Registros y Rutas de Datos, Memoria, Unidad Aritmético-Lógica, y Control), fueron explicadas detenidamente en clase, lo que ocupó unas 10 horas lectivas previas. Se emplearon unas cinco horas adicionales en discusiones de trabajo con los responsables de los equipos de diseño, y se mantuvo abierta una línea de consulta esporádica con los diferentes grupos de diseño y miembros del equipo docente con una cierta experiencia en diseño en *SOLO 1400*. El proceso de diseño se pensó para que se realizase como un macro-proyecto desglosable en cuatro sub-proyectos distintos, cada uno de los cuales sería realizado por un grupo de diseño. El primer subproyecto se ocupa de la realización de la Ruta de Datos, comprendiendo los registros de la máquina, los buses y la Unidad de Entrada/Salida, excluyendo la Unidad Aritmético-Lógica, que es asignada al segundo subproyecto. El tercer subproyecto se ocupa del Sistema de Memoria, y el cuarto subproyecto tiene por misión la realización de la Unidad de Control. Cada grupo de diseño se hallaba integrado por tres alumnos, y el equipo de diseño global lo integraban cinco de estos grupos, cuatro grupos específicamente dedicados a la realización práctica de cada sub-proyecto y un grupo actuando como coordinador de la tarea global. Se requirió que previamente al proceso de diseño en sí, el equipo de trabajo confeccionase un pre-proyecto global, orientativo de su visión previa del problema, en que intentasen reflejar criterios tales como ubicación física de cada bloque, y orientación de las rutas de datos, al mismo tiempo, cada grupo debía hacer constar su forma de abordar el diseño, el tipo de células terminales a utilizar, su disponibilidad en las librerías, etc. Para la realización del proyecto, se permitió el acceso a máquina de los grupos de diseño en modo totalmente abierto, de forma que pudiesen hacer uso de los ocho puestos de trabajo citados en una base de *first come first serve*, sin reserva de horarios o restricción de los mismos. Cada grupo de diseño dispuso de acceso individualizado a su propia cuenta de trabajo sobre la Red Local de Estaciones de Trabajo de tipo SUN-Sparc bajo sistema UNIX desde las que se podía acceder a la herramienta *SOLO 1400*. El grupo de coordinación tuvo a su cargo la conclusión de la documentación final. Realizada la labor de diseño de cada uno de los módulos, se utilizó simulación lógica para verificar la funcionalidad de los mismos, y se procedió a su agrupación, así como la planificación final del Circuito Integrado

resultante, a nivel de *pads* de conexionado externo. Con ello, se daba por concluido el proceso de diseño.

3. DESARROLLO DE LA PRACTICA

El desarrollo de la práctica fue seguido de cerca por el equipo docente por medio del intercambio de opiniones con los diferentes equipos de diseño que así lo solicitaron, y también con aquellos otros que sufrieron algún tipo de problema durante la misma. El resultado final del trabajo tomó la forma de una memoria descriptiva, donde se incluyó la planificación inicial del mismo, y se detallaron las decisiones adoptadas respecto a cada uno de los niveles descritos (análisis *top-down*, síntesis *bottom-up* y simulación) para cada uno de los subproyectos, así como para la simulación final. Esta memoria, contenía esquemas funcionales, hojas de diseño de SOLO 1400 (*work-sheets*), hojas de personalización de la PLA, e impresiones por plotter, tanto de *lay-out* como de resultados de simulación, entregados en formatos DIN A2 adjuntos. La evaluación docente de los trabajos presentados, se basó en la citada memoria remitida por cada equipo, junto con la demostración fehaciente ante máquina, de los resultados obtenidos, y la respuesta a una serie de cuestiones planteadas al efecto. Excepto para grupos en los que se hubiese constatado la abstención de participación de alguno de los componentes de forma constante, la evaluación adjudicada fue comun para todos sus componentes. Se valoró especialmente la labor de los grupos coordinadores en aquellos equipos que consiguieron resultados satisfactorios en términos de equilibrio entre las partes diseñadas, realización de tareas adicionales no requeridas en las especificaciones originales, calidad global del diseño, y resultados de simulación. El número total de equipos participantes fue de cuatro. De ellos, uno obtuvo unos resultados especialmente satisfactorios, que se reflejan posteriormente a lo largo del presente trabajo, por cuya gestión se otorgó la máxima nota a los componentes del equipo coordinador; otros dos consiguieron unos resultados globales muy satisfactorios, y un cuarto equipo presentó resultados individuales aceptables, pero careció de coordinación global, al haber abandonado la práctica el equipo coordinador por causas no explicadas. La evaluación de este caso se hizo grupo por grupo atendiendo a los resultados obtenidos individualmente tanto en diseño como en simulación.

4. RESULTADOS OBTENIDOS

De entre los cuatro equipos de diseño participantes, cabe destacar la labor realizada por el coordinado por los tres últimos firmantes del presente trabajo, quienes llevaron la misma hasta extremos inesperados por su calidad y completitud. El objetivo de diseño conjunto se cumplió a la perfección, se realizaron simulaciones parciales de cada módulo, y se ensambló un módulo final, reflejado en la Figura 6. En la misma, se pueden apreciar claramente los 16 módulos de 8Kx1 bit sintetizados en forma cuadrada por el planificador de SOLO 1400, junto con el selector de columnas memoria en el ángulo superior derecho. En el ángulo inferior izquierdo, la primera columna corresponde al bloque de registros, la segunda, más ancha, a la Unidad Aritmético-Lógica, y las restantes columnas corresponden a los multiplexores, y al selector de filas de la memoria. La organización del chip deja mucho que desear, pero este aspecto es responsabilidad entera del planificador de SOLO 1400, y no es controlable por el diseñador. Ello podría

redundar en peores prestaciones respecto a velocidad de trabajo, dada la mala optimización de las rutas.

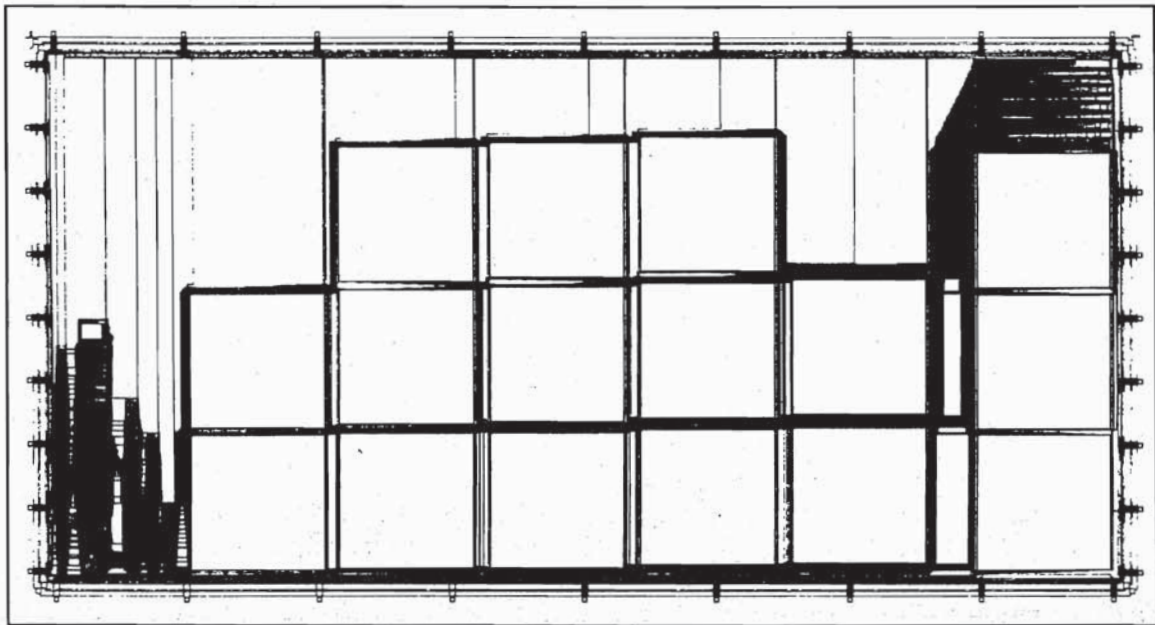


Figura 6. Layout final de uno de los diseños realizados.

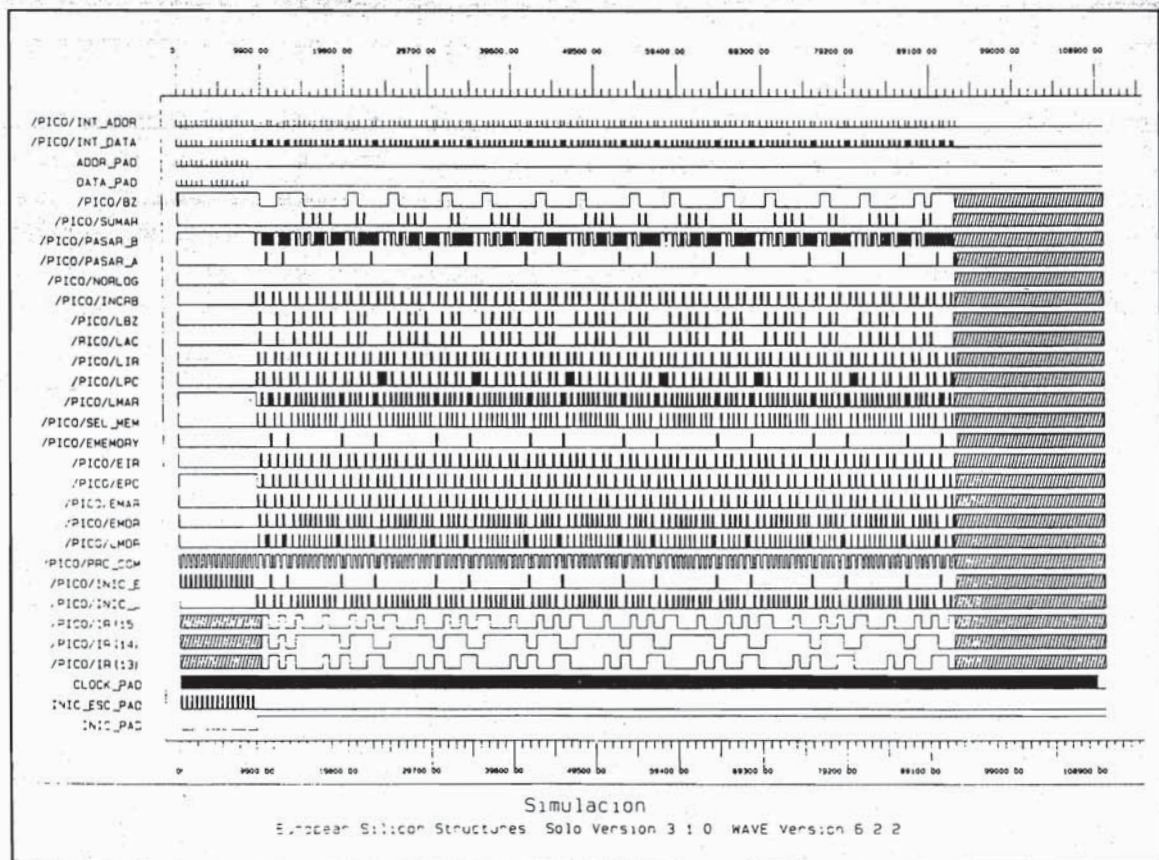


Figura 7. Resultados de simulación con un programa de números primos

El diseño global ocupaba un total de unos 50 mm², y quedó prácticamente listo para integración, la cual no se llevó a cabo por el coste adicional de la misma. La velocidad de reloj a la que llegó a funcionar fué de 10 MHz. Dicho trabajo fue acompañado de una memoria descriptiva del mismo impecablemente redactada, documentando al mínimo detalle el trabajo desarrollado. Además, el grupo coordinador llevó el trabajo más allá de lo especificado inicialmente, llegando a elaborar y cargar un programa de evaluación para cálculo de números primos, codificado en el juego de instrucciones de la máquina, arrancando el mismo, y verificando la correctitud del diseño utilizando simulación lógica mediante el simulador MADS, cuyos resultados, se presentan en la Figura 7.

5. CONCLUSIONES

Las principales conclusiones que se derivaron de esta experiencia, fueron la viabilidad de llevar a término un diseño conceptualmente bien especificado, la disposición altamente positiva de los alumnos hacia el mismo; la gran capacidad de coordinación entre ellos, y la abordabilidad del diseño en tiempo, recursos, y capacidad tecnológica, lo que ha dejado abierta la vía para continuar el trabajo sobre esta línea, complementando el proceso con la integración y ubicación de la estructura en una placa compatible con computadores personales, y la generación de un modelo VHDL de la misma para facilitar la simulación de ésta y su incorporación a prácticas de laboratorio. En relación con esta última posibilidad, se está trabajando en la actualidad sobre la extensión de la estructura del Pico-Computador, y de su juego de instrucciones para incluir Entrada/Salida mapeada por memoria, posibilidad de saltos a subrutinas, y un nivel de interrupciones. El grado de complejidad adicional requerido para ello no es excesivo, la máquina sigue siendo sencilla, su diagrama ASM es todavía manejable, y su PLA de control sigue siendo presentable sobre una página. Los principales inconvenientes detectados en la realización de este tipo de práctica, fueron debidos principalmente a problemas con la herramienta, derivados del carácter poco accesible de la misma fuera de los entornos de trabajo mencionados, y a la gestión del sistema de ficheros que ésta realiza, que dificulta el trabajo en equipo dada la dispersión del diseño en diferentes directorios. Otra desventaja adicional, puesta de manifiesto en el diseño presentado, deriva del hecho de que el usuario no posee control alguno sobre la planificación del circuito resultante, con lo que el acabado del mismo no puede ser posteriormente optimizado.

REFERENCIAS

- [1] *Solo 1400 Reference Manual*, European Silicon Structures Limited, 1990.
- [2] V. Rodellar, M. Pérez, M. Hermida, P. Gómez, *Tecnología de Computadores: Ejercicios Prácticos*, Paraninfo, Madrid, 1992.
- [3] C. Mead and L. Conway, *Introduction to VLSI Systems*, Addison-Wesley, Reading, MA, 1980.
- [4] F. P. Prosser and D. E. Winkel, *The Art of Digital Design: An Introduction to Top-Down Design*, Prentice-Hall, Englewood Cliffs, N.J., 1987.