

LIBRO “DISEÑO DE APLICACIONES MEDIANTE PLDs Y FPGAs”

L. J. ÁLVAREZ RUIZ DE OJEDA

Dpto. Tecnología Electrónica. Universidad de Vigo. Lagoas (Marcosende).36280.

Vigo. E-mail: jalvarez@uvigo.es

El libro que aquí se presenta constituye una herramienta de apoyo a la enseñanza del Diseño Digital mediante PLDs y FPGAs en el laboratorio.

Este libro se centra en tres apartados. Por una parte, la descripción de las arquitecturas de los PLDs de la familia 9500 y de las FPGAs de la familia 4000E de Xilinx [3] [5]. En segundo lugar, en la explicación del manejo de la herramienta de CAD Foundation de Xilinx. Y, por último, en la realización de ejemplos prácticos de diseño con PLDs y FPGAs, utilizando para su comprobación placas de desarrollo comerciales.

Este libro viene a cubrir un vacío existente en la actualidad en cuanto a libros de texto y manuales prácticos que profundicen en el estudio de arquitecturas de PLDs y FPGAs y de las herramientas de diseño necesarias para su utilización, sobre todo en idioma español.

1. Introducción.

En este libro [1] se denominan circuitos digitales configurables a aquéllos circuitos digitales cuya función puede modificar el usuario mediante la programación e interconexión de los elementos que los forman. Estos circuitos se clasifican habitualmente en dos tipos, los Dispositivos Lógicos Programables [PLD (“Programmable Logic Device”)] y los Conjuntos Programables de Puertas [FPGA (“Field Programmable Gate Arrays”)].

El rápido desarrollo de los circuitos digitales configurables (PLDs y FPGAs) [2] en los últimos 10 años ha provocado una falta de profundización tanto en el estudio de sus arquitecturas como en el de los métodos de diseño más adecuados para su utilización.

En cuanto al diseño de sistemas digitales complejos para su implementación mediante circuitos digitales configurables (PLDs y FPGAs), apartado fundamental en el que se centra este libro, se ha comprobado que, en demasiadas ocasiones, se confía en la intuición del diseñador, así como en métodos tradicionales de diseño basados en circuitos no configurables, que en general no son los más adecuados para el diseño mediante circuitos digitales configurables. Por ello, en este libro se persiguen tres objetivos principales:

- Profundizar en el estudio de los PLDs y FPGAs de Xilinx [3] [5], circuitos complejos cuyas características es necesario conocer bien, para poder diseñar sistemas digitales de la forma más eficiente posible.

- Analizar a fondo la herramienta de CAD Foundation [4] [5] para diseño de sistemas digitales mediante PLDs y FPGAs de Xilinx. El conocimiento de los programas integrados en dicha herramienta así como el de las diversas opciones de implementación permite un aprovechamiento óptimo de las capacidades de cada circuito.

- Enseñar un método sistemático de diseño de aplicaciones mediante los ejemplos incluidos en el libro. Este libro está destinado fundamentalmente para su uso en el laboratorio. Por ello, y también para no incrementar su coste, se ha optado por no incluir métodos teóricos de diseño, que se desarrollan en otros libros que están actualmente en preparación.

Aunque las distintas familias de PLDs y FPGAs comercializadas actualmente por los diferentes fabricantes presentan muchas similitudes entre sí, las características particulares de cada una de ellas hacen necesaria la elección de un determinado fabricante para poder profundizar en los métodos de diseño más adecuados y en la realización de aplicaciones.

La elección de Xilinx no es, ni mucho menos gratuita, pues Xilinx ha sido el inventor de las FPGAs en 1994 [3] y es uno de los fabricantes con mayor cuota de mercado en el campo de los PLDs y las FPGAs. Por otra parte, las arquitecturas de sus circuitos, así como sus herramientas de diseño, son de las más avanzadas del mercado.

2. Organización del libro.

Los temas que trata este libro se estructuran en once capítulos y siete apéndices, cuyo contenido se resume a continuación.

En el **capítulo 1** se analiza la arquitectura de los PLDs de la familia 9500 de Xilinx [5] y se explican las normas básicas de diseño de sistemas digitales mediante PLDs, particularizándolas para la familia 9500.

En el **capítulo 2** se estudia la descripción estructural de sistemas digitales mediante esquemas y se analiza el manejo del programa de diseño de esquemáticos integrado en la herramienta Foundation de Xilinx [5], con sus diversas posibilidades.

En el **capítulo 3** se trata la verificación del correcto funcionamiento del sistema digital diseñado mediante simulación funcional y temporal y se estudia el manejo del programa simulador integrado en la herramienta Foundation, con sus diferentes opciones. También se introduce el análisis de retardos (“Static Timing Analysis”) en sistemas digitales, analizando el manejo del programa analizador de la herramienta Foundation.

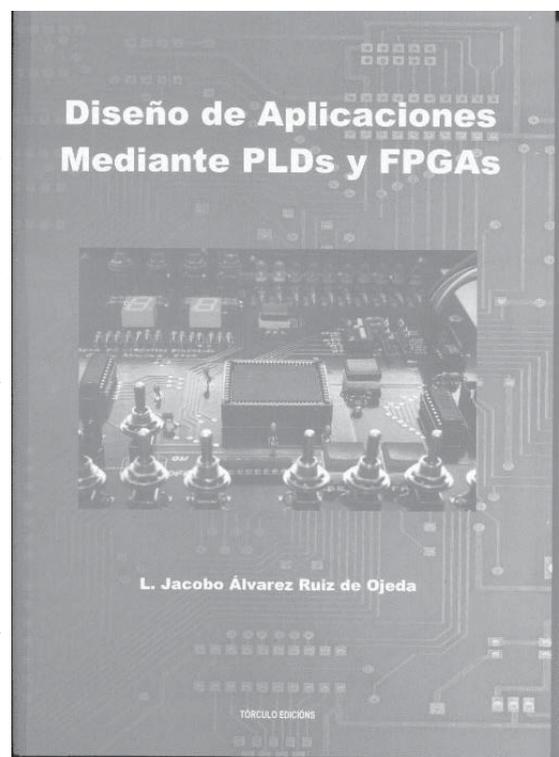


Figura 1. Portada del libro.

En el **capítulo 4** se analizan las diferentes fases del proceso de compilación e implementación de Xilinx, tanto para PLDs como para FPGAs, y se estudia cada una de las opciones que presenta Foundation. Su conocimiento permite al diseñador aprovechar al máximo las capacidades del circuito elegido para la implementación.

El **capítulo 5** trata de la descripción de comportamiento de sistemas digitales mediante lenguajes de descripción de sistemas digitales [HDL (“Hardware Description Language”)]. Se analiza también el manejo del editor HDL y de la herramienta gráfica de diseño de diagramas o grafos de estado, ambos integrados en Foundation.

En el **capítulo 6** se estudian las diferentes formas de configurar (programar) un PLD, particularizando el estudio para los PLDs de la familia 9500 de Xilinx.

En el **capítulo 7** se desarrollan diversos ejemplos, representativos de las aplicaciones de los PLDs. Después de plantear el enunciado de cada ejemplo, se desarrolla la solución justificando las diferentes opciones escogidas. Finalmente se comentan los resultados de simulación temporal y de prueba del circuito. Para las pruebas se utilizan placas de desarrollo comerciales que se estudian en el apéndice 3.

En el **capítulo 8** se analiza la arquitectura de las FPGAs de la familia 4000 de Xilinx [3] [5] y se explican las normas básicas de diseño de sistemas digitales mediante FPGAs, particularizándolas para la familia 4000E.

En el **capítulo 9** se estudia el programa editor de FPGAs, incluido en la herramienta Foundation. Este programa permite realizar la edición del diseño implementado en el interior de la FPGA, con lo que el diseñador puede analizar el posicionamiento y enrutado final de los diferentes elementos del sistema digital diseñado y modificarlos si lo desea.

En el **capítulo 10** se estudian las diferentes formas de configurar (programar) una FPGA, particularizando el estudio para las FPGAs de la familia 4000 de Xilinx.

En el **capítulo 11** se desarrollan diversos ejemplos, representativos de las aplicaciones de las FPGAs. Después de plantear el enunciado de cada ejemplo, se desarrolla la solución justificando las diferentes opciones escogidas. Finalmente se comentan los resultados de simulación temporal y de prueba del circuito. Para las pruebas se utilizan placas de desarrollo comerciales que se estudian en el apéndice 4.

Los **apéndices 1 y 2** se dedican al estudio de la sintaxis básica de dos de los lenguajes de descripción de sistemas digitales (HDLs) más utilizados, el ABEL y el VHDL, respectivamente.

Los **apéndices 3 y 4** se dedican al estudio de las placas comerciales más interesantes, para la prueba y desarrollo de sistemas digitales basados en PLDs y FPGAs de Xilinx.

En el **apéndice 5** se analizan con detalle los diferentes informes generados por la herramienta Foundation durante los procesos de compilación e implementación, tanto para PLDs como para FPGAs. La interpretación adecuada de estos informes es muy importante, pues permite al diseñador realizar las modificaciones oportunas para aumentar las prestaciones del sistema digital diseñado.

En el **apéndice 6** se incluye una lista de todos los tipos de componentes incluidos en la biblioteca del programa de diseño de esquemáticos integrado en Foundation.

En el **apéndice 7** se analizan algunos de los avisos y errores generados por la herramienta Foundation durante los procesos de compilación e implementación.

Al igual que se hace en este artículo, en el libro la bibliografía relacionada con cada capítulo se expone al final del mismo.

3. Conclusiones.

Este libro se está utilizando actualmente en la docencia de la asignatura “Laboratorio de Sistemas Digitales Programables 2”, que se imparte en el cuarto curso de la especialidad de Electrónica en la Escuela Técnica Superior de Ingenieros de Telecomunicación de Vigo.

En este primer año de utilización del libro, los alumnos han destacado la claridad de las explicaciones y su utilidad como manual de consulta en el laboratorio a la hora de realizar el diseño de aplicaciones mediante PLDs y FPGAs, por lo que los objetivos perseguidos se consideran cumplidos.

4. Agradecimientos.

Deseo agradecer su aportación a las siguientes personas y empresas:

- Xilinx, por su donación al Departamento de Tecnología Electrónica de la Universidad de Vigo, de 10 licencias de la herramienta Foundation, así como de 20 placas de desarrollo para FPGAs, “FPGAboard”. También debo agradecer su cortesía al ceder las figuras de sus hojas de características y manuales para los capítulos 1, 8 y 10, fundamentalmente.
- Xess, por su donación de 1 placa de desarrollo para PLDs, “XS95”.
- Tórculo Edicions, por la confianza depositada en mí a la hora de publicar este libro.

Referencias.

- [1] L.J. Álvarez Ruiz de Ojeda, *Diseño de Aplicaciones mediante PLDs y FPGAs*, Tórculo Edicions, Santiago de Compostela, 2001.
- [2] L.J. Álvarez Ruiz de Ojeda, *Metodología de diseño de controladores lógicos caracterizados por flancos realizados con circuitos digitales configurables*, tesis doctoral, Universidad de Vigo, 1995.
- [3] "The programmable gate array data book", Xilinx, San Jose (CA), 1994.
- [4] "Xilinx Student Edition version 1.5", Prentice-Hall, 1999.
- [5] Dirección de Internet, <http://www.xilinx.com>, 2001.