

# GENERADOR DIGITAL DE SEÑALES

*Sebastián Carbajo Sánchez<sup>1</sup>, José Vicente Valverde Sánchez<sup>2</sup>, José Antonio Moreno Zamora<sup>3</sup> y José Manuel García Barrero<sup>4</sup>*

<sup>1</sup>*Universidad de Extremadura. scarsan@tauro.unex.es*

<sup>2</sup>*Universidad de Extremadura. valsan@unex.es*

<sup>3</sup>*Universidad de Extremadura. josanmo@unex.es*

<sup>4</sup>*Universidad de Extremadura. gbarrero@unex.es*

## RESUMEN

El presente documento describe un generador digital de señales basado en FPGA (FLEX 10k), capaz de generar señales periódicas formadas por la suma de distintas senoides (un máximo de 6 señales), variables en amplitud, frecuencia y fase; dando como resultado una forma de onda periódica de frecuencia fundamental igual al mínimo común múltiplo de las frecuencias de las señales que intervienen en la suma. El diseño se considera útil como instrumento de laboratorio, de bajo coste, para el estudio de filtros y el de armónicos de señales sinusoidales deformadas.

## 1. INTRODUCCIÓN

El estudio de señales, su descomposición en armónicos, la mejora de señales deformadas, etc., siempre ha sido un tema presente en cualquier laboratorio de Electrónica. El diseño de filtros que permitan extraer la componente fundamental de una señal sinusoidal deformada para su posterior utilización o procesamiento, es una tarea común en cualquier laboratorio de Electrónica. Para su facilitación se ha pensado en diseñar un sistema que permita obtener cualquier señal posible a partir de la suma de un máximo de seis señales sinusoidales (variables en amplitud frecuencia y fase), para poder hacer un estudio posterior de la misma y posibilitar el diseño de filtros para tratar esa señal.

Para ello el diseño propuesto se basa en una FPGA (FLEX 10k de Altera)[1][2] que se encargará de generar digitalmente las distintas señales sinusoidales y sumarlas debidamente, obteniendo como resultado una señal con las componentes de todas ellas. Para la programación de la señal a generar se utiliza como interface el puerto serie de un PC, desde donde se suministrarán los distintos parámetros de cada una de las señales elementales: la amplitud, la frecuencia y el ángulo de desfase de cada una de las señales. Una vez recibida esta información se procesará por la FPGA para obtener una señal digital discretizada que sea repetible en el tiempo.

## 2. FUNCIONAMIENTO GENERAL DEL SISTEMA

El funcionamiento del sistema se puede dividir en tres procesos fundamentales: en primer lugar la toma de datos desde un PC de los parámetros fundamentales de cada una de las señales sinusoidales que van a formar parte de la señal a generar; en segundo lugar el cálculo de los valores para cada ángulo de las distintas señales, que corresponden a los armónicos; en tercer lugar el almacenamiento de los valores, para su posterior reproducción, en una memoria RAM estática y en cuarto y último lugar la conversión de los datos almacenados en la memoria a un valor analógico.

Para realizar todos estos procesos se han utilizado: una FPGA (FLEX 10k de Altera) integrada en una placa de bajo coste, UP 1 University Program, figura 1, en la que se ha implementado tanto el interface serie con el PC, el bloque de cálculo y el gobierno de la memoria RAM estática . Una memoria RAM, externa, que será la encargada de almacenar los datos obtenidos para su posterior repetición de forma periódica y un convertidor D/A que será el encargado de suministrar los valores analógicos correspondientes a los valores digitales almacenados en la RAM.

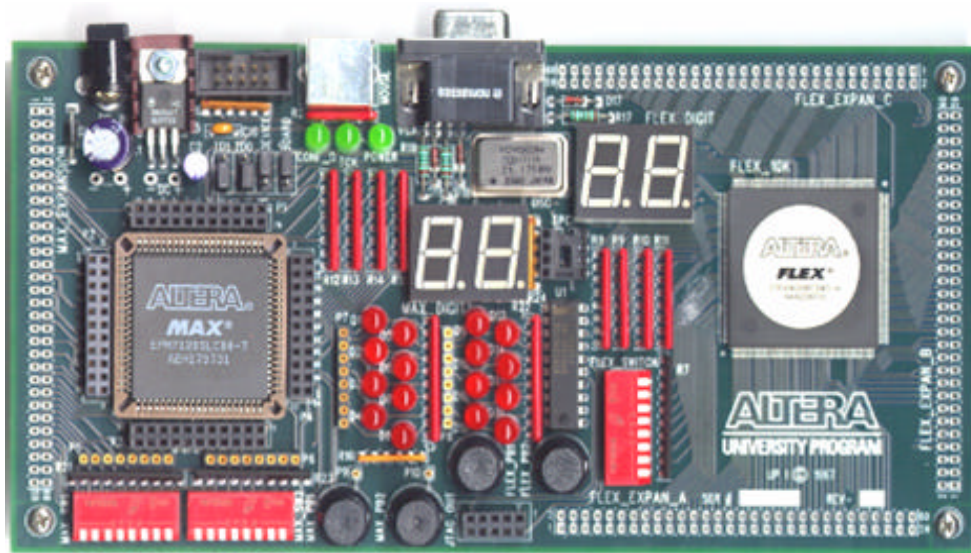


Figura 1 placa FPGA Altera

Una vez que la FPGA ha recibido la información correspondiente a los parámetros de cada uno de los armónicos calculará el valor del incremento de ángulo que se va a utilizar para la reproducción digital de la señal y la enviará a un módulo que calculará el seno de cada señal, lo multiplicará por su respectiva amplitud y posteriormente pasará a otro módulo que sumará cada uno de los valores en cada punto de la muestra y finalmente el dato se almacenará en una memoria estática exterior a la FPGA. Esta memoria, una vez realizados todos los cálculos, almacenará todos los valores de la señal (suma de senos) necesarios para generar un periodo completo de esta señal (recordemos que la frecuencia de esta señal será el mínimo común múltiplo de las frecuencias de las señales sumandos que la generaron). Esta memoria será barrida en todas sus posiciones a la frecuencia de la señal generada y cada valor pasará secuencialmente a un convertidor digital-analógico a las salida del cual obtendremos la señal que queríamos generar.

### **3. GENERACIÓN DE LAS SEÑALES SINUSOIDALES Y POSTERIOR SUMA, EN LA FPGA.**

Para la implementación del hardware se ha dividido el diseño en diferentes bloques, de tal forma que se pueden ir comprobando y optimizando de forma independiente. Así se han considerado los siguientes módulos:

#### **3.1. Módulo de comunicación con el PC**

Como se ha dicho anteriormente la FPGA recibirá de un PC a través de su puerto serie los datos necesarios para generar las distintas señales que tras su suma formaran la señal final deseada. Este módulo es el encargado de recibir esa información desde el PC: amplitud, frecuencia, dada como un incremento de ángulo, y desfase de cada una de las señales; las archivará en unos registros internos en la FPGA para su posterior utilización a la hora de generar el ángulo al que se le calculara el seno y a la hora de multiplicar el valor de este seno por su respectiva amplitud. Este módulo recibirá también el número de señales (de 1 a 6) que se necesitaran para formar la señal deseada, que servirá como tope para un contador que irá indicando que señal se está calculando en cada momento y en que instante hay que sumar las señales calculadas. Una vez terminado el proceso de comunicación se iniciará el proceso de cálculo de las distintas señales.

### **3.2. Módulo generador de ángulos**

El módulo se encarga de generar los ángulos correspondientes a las distintas muestras de cada señal sinusoidal necesaria para general la señal final como la suma de todas ellas, a partir de la información recibida por el puerto serie del PC.

El módulo tiene por entradas el ángulo correspondiente a la primera muestra de cada señal (calculado a partir de la frecuencia de cada señal y del número de muestras que queremos obtener (en este caso 32k)), el desfase de cada armónico y el número de señales que se van a utilizar para generar la señal; además tiene como entradas el reloj del sistema (ya que todo el diseño es un sistema síncrono), una señal de reset externo (que pone al sistema en unas condiciones iniciales), una de start (que da comienzo a la generación de todos los ángulos necesarios una vez recibidos los datos por el módulo anterior) y una señal que indica que ya se ha calculado el seno de una de las señales para uno de los ángulos generados en particular, y que por lo tanto se está en disposición de generar un nuevo ángulo al que se le calculará el seno. Como salidas: el ángulo generado, una señal que indique que el ángulo ya se ha generado y que esta listo para calcular su seno y otra señal que indica que ya se han generado todos los ángulos correspondientes a las 32000 muestras que se desean obtener para reconstruir la señal a generar.

El formato de los datos provenientes del PC (ángulo inicial, amplitud y desfase) son de 16 bits, usando 3 bits para la parte entera y los restantes para la parte decimal; el dato que indica el número de señales que se van a generar para su posterior suma tiene una longitud de 3 bits y el ángulo generado tiene también 16 bits con el mismo formato de los datos de entrada.

### **3.3. Módulo conversor de ángulos**

Este módulo se encarga de convertir el ángulo generado en su equivalente entre  $0^\circ$  y  $90^\circ$ , ya que el módulo posterior, que se encarga del cálculo del seno, sólo opera con ángulos entre esos márgenes (esta consideración se realiza con el objetivo de reducir la lógica necesaria para el calculo del seno de una señal, optimizando así espacio en la FPGA). A la salida de este módulo se obtiene el ángulo equivalente al de entrada entre  $0^\circ$  y  $90^\circ$  y un bit que indicará el signo que posteriormente va a tener el seno para la su corrección en el caso de que corresponda a un resultado negativo.

El módulo tiene como entradas el ángulo generado por el módulo anterior (módulo generador de ángulos), entrada del reloj y reset externo del sistema y señal de start (que se activará cada vez que haya un ángulo nuevo generado). A la salida tenemos el ángulo corregido entre  $0^\circ$  y

90°; una señal de fin de la conversión (dato listo para ser calculado el seno) y el bit que me indica el signo que va tener el seno.

### 3.4. Módulo del cálculo del seno.

Este módulo se encarga de la parte con mayor peso del cálculo, es el módulo que consume más recursos de la FPGA y el que tarda más en realizar sus operaciones. La filosofía empleada para la generación del seno es la generación de los valores que conformarán el valor mediante un polinomio de Taylor. Atendiendo a esto se ha diseñado una máquina de estados que va calculando los distintos coeficientes del polinomio de Taylor y va generando, a base de multiplicaciones y sumas, los coeficientes calculados, el valor del seno para el ángulo de muestra que se tiene a la entrada, la fórmula utilizada es:

$$\text{sena} = \sum_{n=0}^{\infty} \frac{(-1)^n}{(2n+1)!} x^{2n+1} \quad [3]$$

Se han desarrollado los cinco primeros términos de la serie, obteniendo los siguientes valores:

$$\text{sena} = x - \frac{1}{3!}x^3 + \frac{1}{5!}x^5 - \frac{1}{7!}x^7 + \frac{1}{9!}x^9 - \dots$$

$$\text{sena} = a1 - a2 + a3 - a4 + a5 \dots$$

Para un desarrollo más eficiente se han puesto los coeficientes en función de los anteriores, por lo que:

$$a1 = x$$

$$a2 = 0.1667a1 * a1^2$$

$$a3 = 0.0500a2 * a1^2$$

$$a4 = 0.0238a3 * a1^2$$

$$a5 = 0.0139a4 * a1^2$$

Dentro de este módulo se ha implementado un submódulo multiplicador que se encarga de hacer todas las multiplicaciones necesarias para generar los coeficientes del polinomio de Taylor necesario, y de esta forma limitar la cantidad de hardware, a costa de la velocidad. Una vez realizadas todas las multiplicaciones y sumas pertinentes se tiene a la salida el valor correspondiente al seno, que anteriormente se habrá corregido en signo (si es necesario), del ángulo de la muestra generado anteriormente.

Como paso final el valor del seno se multiplicará por el valor de amplitud correspondiente de la señal cuya muestra se está calculando.

Las entradas al módulo son: la amplitud de todas las señales que van a formar la señal requerida (en formato de 16 bits); el ángulo corregido generado por el módulo anterior (entre 0° y 90°); el bit que indica el signo que va a tener el seno; la señal de reset externo y de reloj del sistema (común a todos los módulos) y una señal de start que indica que el ángulo corregido está listo y se está en disposición de iniciar el cálculo del seno de dicho ángulo. En cuanto a las salidas del módulo, se tendrán: el valor de la señal ya calculada, (amplitud\*seno) correspondiente a la muestra que se

está calculando en cada momento y, una señal que indica que el dato esta listo para pasar al siguiente módulo.

### 3.5. Módulo sumador de las distintas señales sinusoidales

Este módulo corresponde al paso previo antes de obtener el valor final de la señal que se desea almacenar en la memoria. El módulo recibirá una a una el valor de las distintas señales, los irá sumando y almacenando en un registro hasta que el contador indique que han se han operado con un número de señales igual a los presentes en la entrada (dato suministrado por el PC); ocurrido esto el registro contendrá el valor de la suma de todas las señales sinusoidales presentes a la entrada, para un determinado valor de la muestra, este valor será direccionado a la siguiente posición de la memoria externa que se irá rellenando con los valores de todas las muestras de la señal “suma de senos” que se quiere generar.

Tiene como entradas, aparte de la señal de reloj y reset externo del sistema, un dato de 16 bits que viene del módulo seno que indica el valor de la señal que hay que sumar, una señal de start que indica que el dato anterior esta listo para ser leído y sumado y un dato de 3 bits que indica el número de señales que hay que sumar (suministradas por el PC). Como salida la señal “suma de senos” calculada (16 bits) y un bit que indica que esta lista para ser enviada a memoria.

### 3.6. Esquema de conexiones de módulos

El siguiente esquema, figura 2, muestra las conexiones de los principales módulos programados en la FPGA. Los datos de entrada son los que provienen del módulo que se comunica por el puerto serie con el PC.

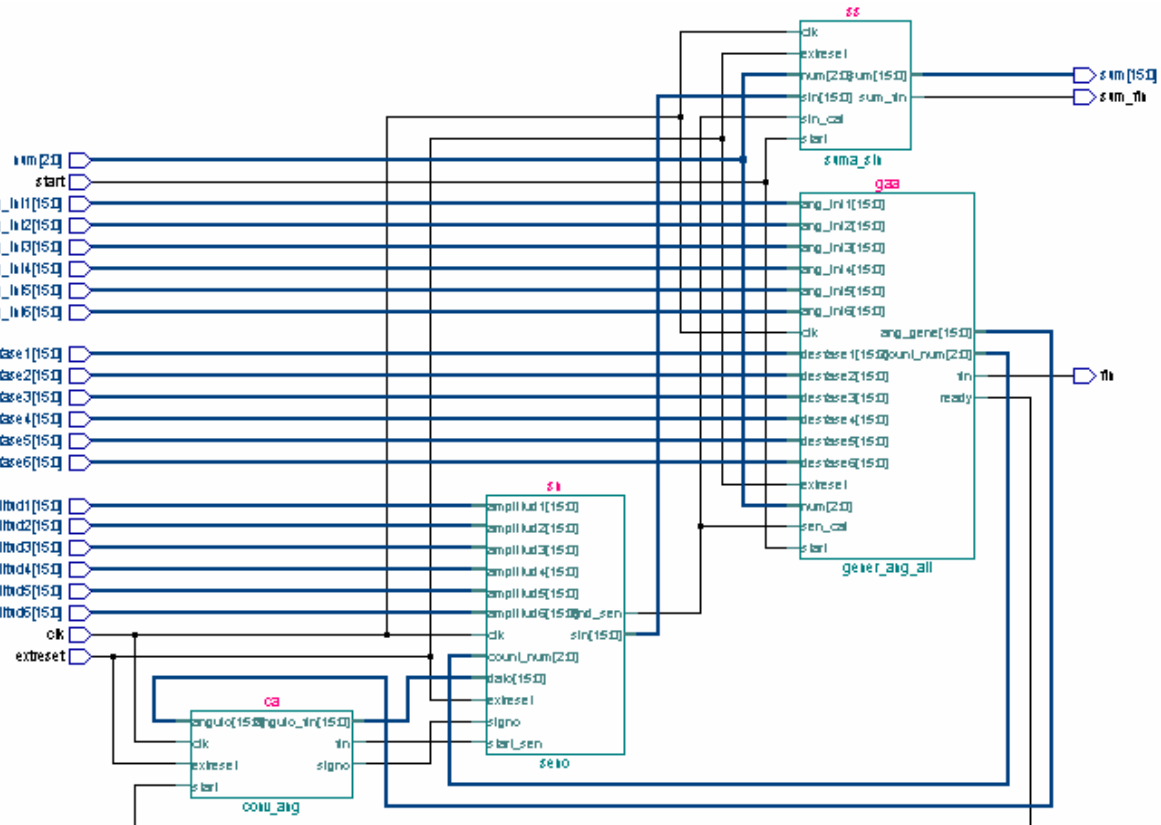


Figura 2.- Esquema de conexiones de los principales módulos de la FPGA.

### 3.7. Ejemplos de generación de señales

A continuación se muestran diversas simulaciones del comportamiento del diseño implementado en la FPGA, donde se ven las formas de onda finales, cuyos valores se introducirán en la memoria.

3.7.1. *Suma de dos señales de 50 y 500 hz que están en fase, donde la amplitud de la primera es de 1.5 y la amplitud de la segunda es de 0.5.*

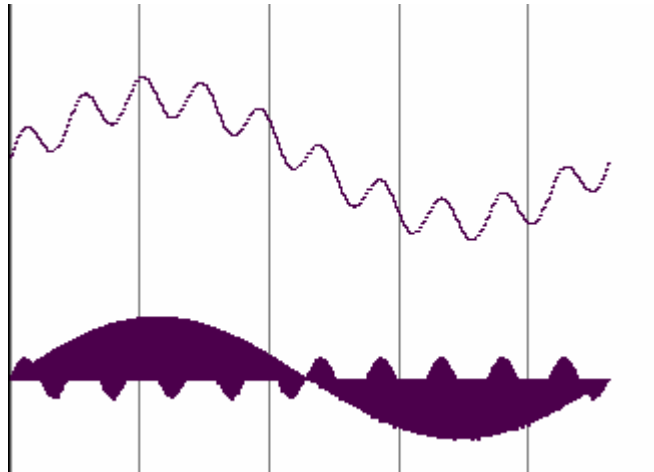


Figura 2.- Resultado de la simulación. (arriba onda “suma de senos”, abajo ondas “sumandos”)

3.7.2. *Suma de 3 señales de 50hz ( $q = 0$ , amplitud 1,5), 200hz ( $q = 0$ , amplitud 2,11) y 500 hz ( $q = 0$ , amplitud 0.5).*

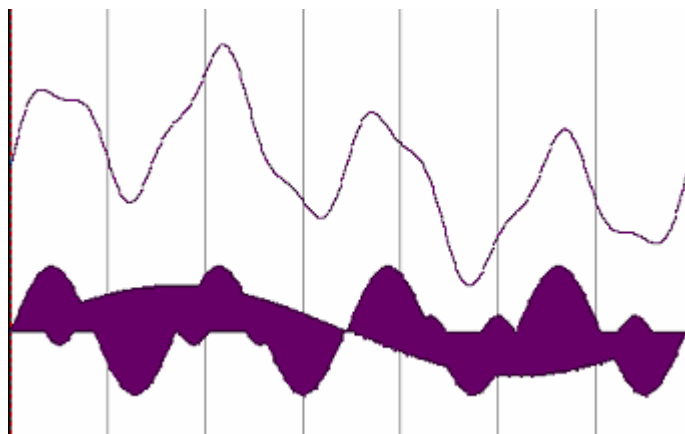


Figura 3.- Resultado de la simulación. (arriba onda “suma de senos”, abajo ondas “sumandos”)

3.7.3. Suma de 3 señales de 50hz ( $q=0$ , amplitud 1,5), 200hz ( $q=0$ , amplitud 0,5) y 1 KHz ( $q=0$ , amplitud 0.1).

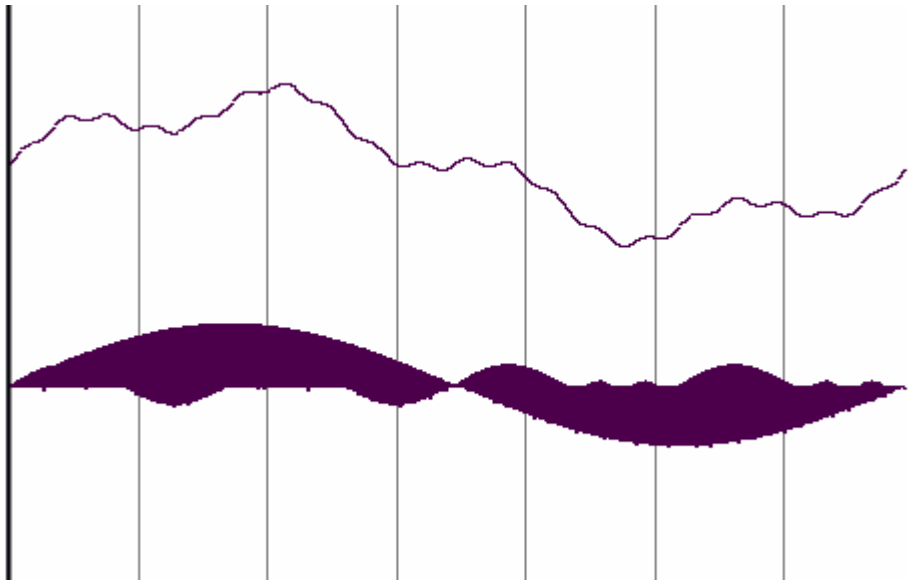


Figura 4.- Resultado de la simulación. (arriba onda “suma de senos”, abajo ondas “sumandos”)

#### 4. LECTURA DE LOS VALORES DE LA SEÑAL ALMACENADOS EN LA MEMORIA Y SU POSTERIOR CONVERSIÓN D/A

Para almacenar los datos se han utilizado dos memorias de 32k8 conectadas en paralelo para obtener una longitud de palabra de 16 bits, formato en el que se obtienen los valores calculados, utilizándose la FPGA para suministrar tanto los valores de dirección donde se almacenan como las señales de control de escritura, lectura y output enable.

Para la conversión de la señal a formato analógico se ha utilizado un convertidor D/A DAC712[4] de 16 bits, con un tiempo de conversión de 60 ns. El control del convertidor se realiza desde la FPGA, suministrando los valores de “input latch enable” y “DA latch enable” a la frecuencia de reconstrucción deseada mediante la utilización de un contador de frecuencia programable, por lo que la misma señal que ha sido generada en los pasos anteriores puede reproducirse a diferentes frecuencias según la velocidad a la que se esté enviando al convertidor D/A.

#### 5. POSIBLES AMPLIACIONES EN FASE DE ESTUDIO

Actualmente se está estudiando la posibilidad de dotarle al sistema un módulo de captura que permita capturar una señal, haciéndola pasar por un convertidor A/D y guardando el resultado de la conversión en la memoria del sistema, quedando almacenada la señal allí para su posterior estudio o utilización, regenerando la misma con el convertidor D/A que se ha comentado en el apartado anterior.

## **6. BIBLIOGRAFÍA**

- [1] Altera, FLEX 10K Embedded Programmable Logic Family Data Sheet.
- [2] Altera University program Design Laboratory Package. ver1.02 1999
- [3] Apóstol páginas 533-535
- [4] Texax Instruments, 16-Bit Digital-to-Converter With 16-Bit Bus Interface, sep 2000