

# LOS DIAGRAMAS DE MEMELINK COMO HERRAMIENTA GRÁFICA PARA MODELOS FUNCIONALES DE MOS Y PUERTAS LÓGICAS

T. POLLÁN, C. BERNAL Y F. PÉREZ-CEBOLLA

*Escuela Universitaria de Ingeniería Técnica Industrial de Zaragoza.*

*Departamento de Ingeniería Electrónica y Comunicaciones. Universidad de Zaragoza. España*

*Pretendemos, simple y llanamente, llamar la atención y hacer una aportación a los profesores de electrónica (en particular, a los de microelectrónica digital) respecto a los diagramas de Memelink como herramienta útil en la explicación de modelos funcionales de transistores MOS y de circuitos con ellos. Los diagramas permiten «visualizar» la distribución de carga en el canal y obtener, con facilidad, resultados cualitativos y cuantitativos respecto a tensiones, intensidades y tiempos.*

## 1. Introducción, aplicación y utilidad

A pesar de su utilidad, tanto en el aspecto didáctico como en el práctico, los diagramas de Memelink (más precisamente, los modelos gráficos de Memelink-Wallinga) no suelen ser utilizados por los profesores de electrónica. Sin embargo, son una herramienta sencilla y eficiente a la hora de modelar el comportamiento de transistores MOS y de puertas con tales transistores; además de facilitar razonamientos cualitativos, permiten obtener resultados cuantitativos en muchas situaciones de interés.

Los diagramas de Memelink son una forma de representar gráficamente la distribución de portadores libres en el canal de los transistores MOS: la expresión de la intensidad de canal incluye una integral que expresa el efecto de las tensiones aplicadas sobre la disponibilidad de carga; tal integral puede representarse y calcularse mediante un diagrama de Memelink.

De esta forma, el correspondiente diagrama de Memelink permite calcular directamente la intensidad que circula por el canal en función de las tensiones aplicadas (curvas características del transistor,  $I_D - V_{DS}$ ), mostrando, a la vez, la «situación física» del canal que determina tal relación [4].

En el caso de un inversor CMOS, el diagrama conjunto de sus dos transistores representa la «situación física» de los dos canales (PMOS y NMOS) y permite expresar analíticamente la función de transferencia del inversor (relación  $V_o - V_i$ ) y de la intensidad que conduce; en particular, facilita el cálculo de la tensión de conmutación del inversor y la intensidad en la misma [5].

Asimismo, el diagrama de Memelink es útil para estudiar la evolución temporal de la conmutación del inversor y obtener una expresión analítica para la tensión de salida; de la cual pueden deducirse la expresión que corresponde a los tiempos de propagación y pueden estudiarse en detalle los diversos aspectos que les afectan y los métodos de mejora de tales tiempos cuando la carga capacitiva es alta.

De igual forma en cuanto a las puertas pseudoNMOS, estos diagramas facilitan el estudio de su función de transferencia, el cálculo de la tensión de salida para el **0** booleano y del consumo de intensidad en dicha situación, así como los tiempos de propagación. Respecto a los transistores de paso y las puertas de transmisión, interesará el rango de tensiones de salida, la conmutación y tiempos de propagación [6].

Todos los ejemplos citados serán descritos a continuación y en modo alguno agotan las posibilidades y utilidades de los diagramas de Memelink. Un desarrollo más detallado y comentado de estos ejemplos puede consultarse en las referencias.

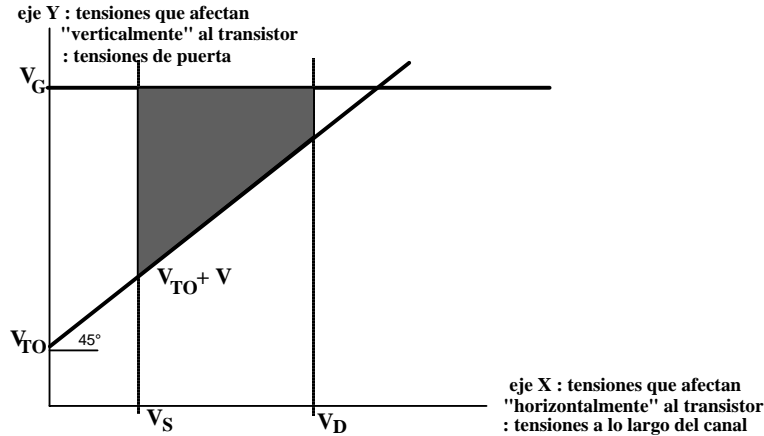
## 2. Curvas características de los transistores MOS: relación intensidad – tensiones

El análisis de primer orden (modelo de Shichman – Hodges) de la intensidad de canal en un transistor NMOS (ver [4]) conduce a la siguiente integral:

$$I = \mu \cdot c_{ox} \cdot \frac{W}{L} \cdot \int_{V_s}^{V_D} (V_G - (V_{TO} + V(x))) dV \quad (1)$$

donde  $\alpha = \mu \cdot c_{ox} \cdot W/L$  incluye parámetros tecnológicos ( $K_p = \mu \cdot c_{ox}$ ) y geométricos ( $ff = W/L$ )

y  $A = \int_{V_s}^{V_D} (V_G - (V_{TO} + V(x))) dV$  expresa el efecto de las tensiones aplicadas sobre el transistor; esta integral puede ser representada y resuelta en forma gráfica:



**Figura 1.** Diagrama de Memelink correspondiente a la conducción de un transistor NMOS.

Este diagrama representa, en el eje horizontal **X**, las tensiones aplicadas a fuente y drenaje (y por tanto la distribución de tensiones a lo largo del canal) y, en el eje vertical **Y**, la tensión aplicada a la puerta y la tensión umbral efectiva  $V_{TO}+V$  (de modo que su diferencia  $V_G - (V_{TO}+V)$  expresa la tensión efectiva generadora del canal).

El área limitada por las cuatro rectas  $x = V_s$ ,  $x = V_D$ ,  $y = V_G$  e  $y = V_{TO} + V$  (45° de pendiente) representa la distribución de carga a lo largo del canal; es, por tanto, una imagen del propio canal. Téngase en cuenta que el eje de abscisas no es espacial, sino un eje de tensiones; por ello, el diagrama representa la distribución de carga en el canal, en función de la distribución de tensiones a lo largo del mismo.

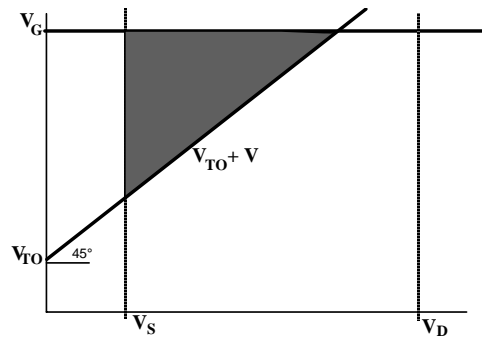
La integral (1) coincide con el área señalada en la figura anterior (área de un trapecio), cuyo cálculo geométrico da como resultado:

$$I = \mu \cdot c_{ox} \cdot \frac{W}{L} \cdot \left( V_{GS} - V_{TO} - \frac{V_{DS}}{2} \right) \cdot V_{DS} \quad (2)$$

Para  $V_{DS}$  pequeño la expresión  $(V_G - V_{TO} - V(x))$  es prácticamente constante a lo largo del canal, con una distribución de carga uniforme, y la relación entre intensidad y tensión  $V_{DS}$  es lineal, de manera que el transistor se comporta como una resistencia cuyo valor disminuye con  $V_{GS}$ :

$$R_{eq} = \frac{I_D}{V_{DS}} = \frac{1}{\mu \cdot c_{ox} \cdot \frac{W}{L} (V_{GS} - V_{TO})} \quad (3)$$

Cuando la tensión aplicada  $V_G - V(x)$  no supera la tensión umbral,  $V_G - V(x) < V_{TO}$ , el canal se cierra ya que en tal zona no hay capa de inversión que contribuya a la conducción: canal saturado.



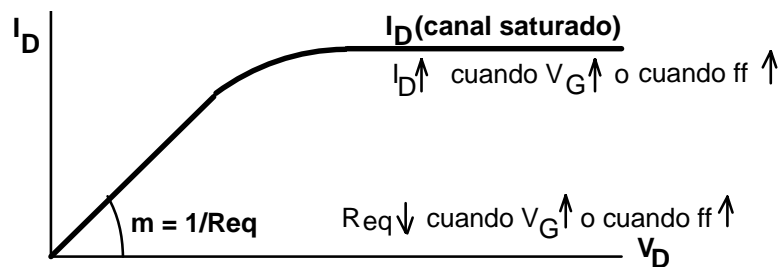
**Figura 2.** Diagrama de Memelink correspondiente a la conducción NMOS en canal saturado.

En este caso, para  $V_D > V_G - V_{TO}$ , la integral **A** se extiende solamente a aquella zona en que  $V_G - V_{TO} - V(x)$  es positiva (área de un triángulo):

$$I_{D,sat} = \frac{\mu \cdot C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{TO})^2 \quad (4)$$

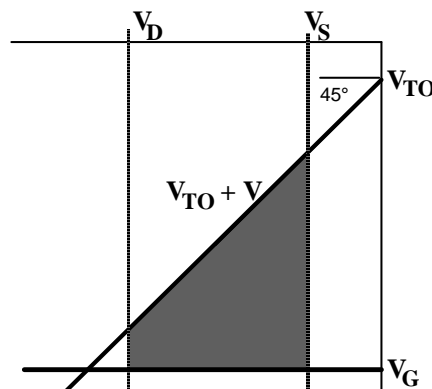
expresión que representa la intensidad máxima que el transistor puede conducir para una tensión de puerta  $V_{GS}$  determinada: intensidad de canal saturado.

La representación conjunta de ambas funciones (2) y (4) conduce a las curvas características del transistor MOS, que muestran la relación entre la intensidad que conduce y las tensiones aplicadas.



**Figura 3.** Curvas características de un transistor NMOS.

Los transistores PMOS conducen con tensiones aplicadas  $V_{GS}$  y  $V_{DS}$  negativas, de forma que su diagrama de Memelink se sitúa en el tercer cuadrante:



**Figura 4.** Diagrama de Memelink correspondiente a un transistor PMOS.

Caso de tener en cuenta los efectos de segundo orden, en concreto el efecto sustrato que producen las tensiones aplicadas sobre la carga de la capa de vaciamiento, la recta  $V_{TO} + V$  del diagrama de Memelink, cuya pendiente es de  $45^\circ$ , pasa a ser una función más compleja de  $V$  [4]:  $V_{TO} + V + \gamma\sqrt{\phi_B + V} - \gamma\sqrt{\phi_B}$ .

Resulta útil una aproximación lineal de esta curva, mediante una recta (primer termino del desarrollo en serie de Taylor):  $V_{TO} + (1 + a).V$  ( $a \sim 0,15$ ; pendiente  $\sim 49^\circ$ ).

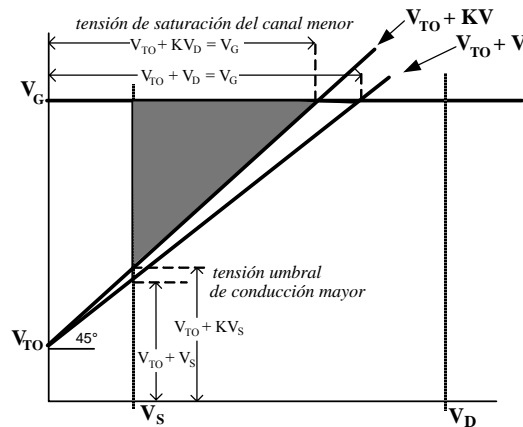


Figura 3. Diagrama de Memelink incluyendo el efecto sustrato.

La recta  $V_{TO} + V$  aumenta ligeramente de pendiente con las siguientes consecuencias:

- la intensidad que conduce el transistor es menor
- para  $V_S > 0$  V la tensión umbral efectiva aumenta:  $V_T = V_{TO} + a.V_S$
- la saturación del canal se produce para tensiones de drenaje inferiores:  $V_D = (V_G - V_{TO}) / (1 + a)$ .

### 3. Función de transferencia de un inversor CMOS

Para analizar la función de transferencia de un inversor ( $V_o - V_i$ ) puede utilizarse un diagrama de Memelink conjunto de los dos transistores que lo conforman [5]. El origen de coordenadas del transistor NMOS (0,0) no coincide con el del transistor PMOS ( $V_{CC}, V_{CC}$ ) ya que la tensión de referencia de ambos es diferente; en cambio, la tensión de entrada  $V_i$  (tensión de puerta) es común y actúa sobre el eje Y, y también lo es su tensión de salida  $V_o$  (tensión de drenaje), sobre el eje X.

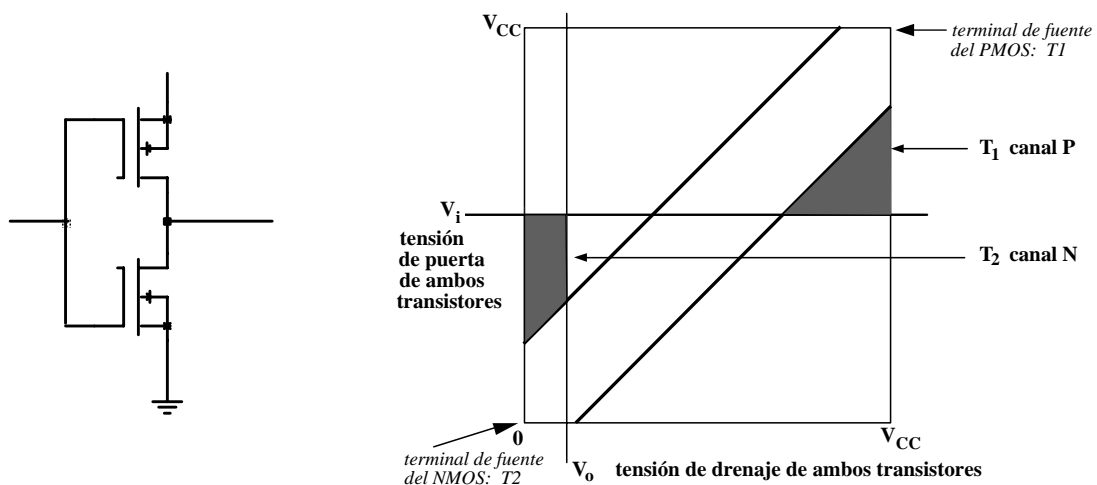


Figura 4. Diagrama de Memelink de un inversor CMOS.

En situación estática, la intensidad que circula por ambos transistores es la misma  $I_{PMOS} = I_{NMOS}$  ya que ambos están en serie; para ello tiene que cumplirse que  $\alpha_P \cdot A_P = \alpha_N \cdot A_N$ , siendo  $\alpha = \mu \cdot C_{ox} \cdot W/L$  el parámetro tecnológico-geométrico y  $A$  el efecto de las tensiones aplicadas, dado por el área limitada por las cuatro rectas  $x = V_S$ ,  $x = V_D = V_o$ ,  $y = V_G = V_i$  e  $y = V_{TO} + V$ .

$$\frac{A_N}{A_P} = \mu' \frac{ff_P}{ff_N} = \mu' \cdot \beta \quad (5)$$

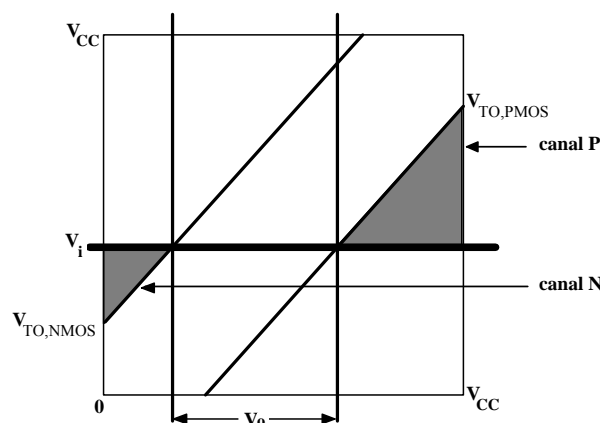
donde  $\mu' = \mu_{huecos} / \mu_{electrones}$  es la relación entre las movilidades de huecos (PMOS) y electrones (NMOS) y  $\beta = (W_1/L_1) / (W_2/L_2) = ff_1 / ff_2$  es la relación de geometrías entre ambos transistores. Para cualquier tensión de entrada  $V_i$  la tensión de salida  $V_o$  es la que corresponde a la anterior relación entre áreas en el diagrama de Memelink:  $A_N = \mu' \cdot \beta \cdot A_P$ .

A partir de (5), se obtiene la función de transferencia expresando el área de conducción de cada transistor en función de las tensiones de entrada  $V_i$  y de salida  $V_o$ ; las expresiones algebraicas que relacionan  $V_o$  con  $V_i$  corresponden a los siguientes tramos:

- |     |                                |  |
|-----|--------------------------------|--|
| I   | $V_i < V_{TO,NMOS}$            | el transistor N no conduce y $V_o = V_{CC}$  |
| II  | $V_i < V_{conmutación}$        | el área de conducción del transistor N es triangular y, en cambio, el área correspondiente al P es trapezoidal |
| III | $V_i = V_{conmutación}$        | el área de conducción del transistor N es triangular y el área correspondiente al P también es triangular      |
| IV  | $V_i > V_{conmutación}$        | el área de conducción del transistor N es trapezoidal y, en cambio, el área correspondiente al P es triangular |
| V   | $V_i > V_{CC} -  V_{TO,PMOS} $ | el transistor P no conduce y $V_o = 0$ .   |

En el mismo análisis pueden obtenerse, también, las expresiones algebraicas de las intensidades conducidas por el inversor en cada tramo.

Particular interés tiene el cálculo de la tensión de conmutación, que corresponde a aquella tensión de entrada  $V_i$  en la que las áreas de conducción de ambos transistores son triangulares: en tal situación, según se aprecia en la figura siguiente, la tensión de salida  $V_o$  no es un valor único, sino un amplio intervalo de tensiones propio de la conmutación de la salida.



**Figura 5.** Diagrama de Memelink de un inversor CMOS en situación de conmutación.

Sea  $V_{uP} = |V_{TO,PMOS}|$  el valor absoluto de la tensión umbral PMOS (dicha tensión es negativa),  $V_{uN} = V_{TO,NMOS}$  la tensión umbral NMOS,  $V_{conm}$  la tensión de conmutación y  $k' = \sqrt{\mu' \cdot \beta}$ :

$$\left. \begin{aligned} \mathbf{A}_P &= \frac{1}{2} (V_{CC} - V_{uP} - V_{conm})^2 \\ \mathbf{A}_N &= \frac{1}{2} (V_{conm} - V_{uN})^2 \end{aligned} \right\} \mathbf{A}_N = \mu' \cdot \beta \cdot \mathbf{A}_P \quad (6)$$

$$V_{conm} = \frac{V_{uN} + k' \cdot (V_{CC} - V_{uP})}{1 + k'} \quad \text{donde } k' = \sqrt{\mu' \cdot \beta}. \quad (7)$$

La tensión de salida puede adoptar cualquier valor dentro del intervalo señalado en la figura 5, limitado por los vértices de ambos triángulos isósceles:

NMOS: lado =  $V_{conm} - V_{uN}$ ;

$V_o$ (vértice del triángulo) =  $V_{conm} - V_{uN}$

PMOS: lado =  $V_{CC} - V_{uP} - V_{conm}$ ;

$V_o$ (vértice del triángulo) =  $V_{conm} + V_{uP}$ ;

se produce con una variación de la tensión de salida entre  $V_{conm} - V_{uN}$  y  $V_{conm} + V_{uP}$ .

La intensidad que circula por el inversor en la situación de conmutación será:

$$I_{conm} = \alpha \cdot \mathbf{A}_N = K_p \cdot \frac{W}{L} \cdot \mathbf{A}_N = K_p \cdot \frac{W}{L} \cdot \frac{1}{2} (V_{conm} - V_{uN})^2 \quad (8)$$

#### 4. Tiempos de propagación de un inversor CMOS

La salida de una puerta booleana se encontrará conectada a la entrada de otra u otras puertas (u otros componentes del circuito global), cuyo efecto equivalente es el de una capacidad que ha de cargarse y descargarse en la conmutación, originando unos tiempos de retraso hasta que el proceso de carga o descarga alcanza los valores de tensión apropiados para el **0** y **1** booleanos.

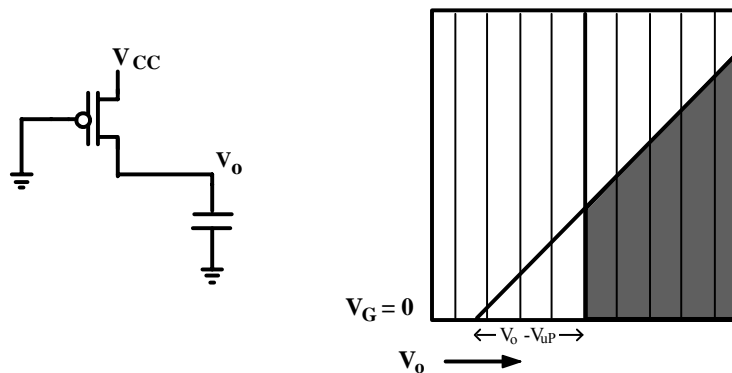


Figura 6. Conmutación de un inversor CMOS: paso de 0 a 1.

En la conmutación de la salida de un inversor de **0** a **1**, el correspondiente proceso de carga puede ser cuantificado expresando los tiempos de retraso en función de la intensidad con canal saturado  $I_{SAT} = I$  y de la capacidad de carga  $C_L = C$  que soporta [5].

En la figura anterior pueden apreciarse dos tiempos diferenciados:

$t_1$ :  $V_o$  de 0 a  $V_{uP}$ , con intensidad constante correspondiente a canal saturado  $I_1 = I$

$$\Delta Q = I \cdot t = C \cdot \Delta V \quad \Delta V = V_{uP} \quad t_1 = C \cdot V_{uP} / I$$

$t_2$ :  $V_o$  de  $V_{uP}$  a  $V_{CC}$ , en que la intensidad  $I_2 < I$  decrece al aumentar  $V_o$

$$dQ = I(t) dt = C dV.$$

En el segundo de los intervalos, el área de conducción corresponde a la diferencia entre dos triángulos: el propio de la saturación de canal del transistor y el que determina la tensión de salida:

$$\begin{aligned} \mathbf{A} &= \mathbf{A}_{\text{canal saturado}} - 1/2 \cdot (V - V_{uP})^2 & \mathbf{I}(t) &= \mathbf{I} - \alpha \cdot (V - V_{uP})^2 / 2 \\ \mathbf{I} &= I_{SAT} = \alpha \cdot 1/2 \cdot (V_{CC} - V_{uP})^2 & \mathbf{I}(t) &= \mathbf{I} - \mathbf{I} \cdot (V - V_{uP})^2 / (V_{CC} - V_{uP})^2 \end{aligned}$$

Las ecuación diferencial correspondiente a la variación de carga en la capacidad conectada a la salida,  $dQ = I(t) dt = C dV$ ,

$$\frac{I}{C \cdot (V_{CC} - V_{uP})^2} dt = \frac{dV}{(V_{CC} - V_{uP})^2 - (V - V_{uP})^2} \quad (9)$$

conduce a la siguiente expresión:

$$V(t) = V_{uP} + (V_{CC} - V_{uP}) \cdot \mathbf{tgh} \frac{I}{(V_{CC} - V_{uP}) \cdot C} t \quad (10)$$

La función tangente hiperbólica es fuertemente creciente (del tipo  $1 - e^{-x}$ , con mayor pendiente): tiende a 1 asintóticamente y alcanza el valor 0.76 para  $x = 1$ ; para dicho valor ( $x = 1$ ), la salida habrá recorrido, aproximadamente, el 80% de la tensión de alimentación:

$$V_o = V_{uP} + (V_{CC} - V_{uP}) \cdot 0,76 = 0,76 \cdot V_{CC} + 0,24 \cdot V_{uP} \approx 0,8 V_{CC} \quad (11)$$

(habida cuenta de que  $V_{uP}$  se encontrará, generalmente, entre  $0,2 \cdot V_{CC}$  y  $0,4 \cdot V_{CC}$ ).

La conmutación de la salida hacia  $V_{CC}$  alcanzará  $0,8V_{CC}$  en un tiempo aproximado:

$$t = t_1 + t_2 = \frac{V_{uP} \cdot C}{I} + \frac{(V_{CC} - V_{uP}) \cdot C}{I} = \frac{V_{CC} \cdot C}{I} \quad (12)$$

$t_{pLH} = V_{CC} \cdot C / I$  donde  $I$  es la intensidad de canal saturado del transistor PMOS. La determinación del tiempo de descarga a través del transistor NMOS hasta disminuir a  $0,2V_{CC}$  es análoga y conduce a la misma expresión:  $t_{pHL} = V_{CC} \cdot C / I$ .

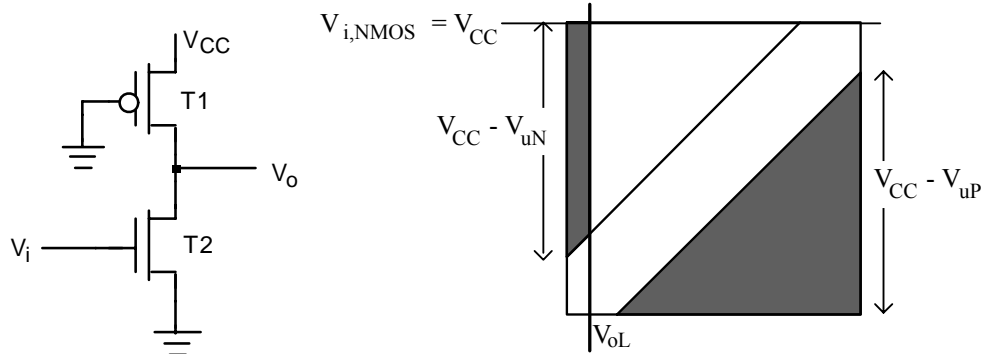
La intensidad de canal saturado del transistor PMOS suele ser menor que la del NMOS como consecuencia de la menor movilidad de los huecos:  $t_{pLH} > t_{pHL}$ . Esta desigualdad entre ambos tiempos de propagación podría evitarse dimensionando adecuadamente el transistor PMOS, pero implicaría mayor área de integración y mayor capacidad de carga de cada entrada (lo cual redundaría en empeorar los tiempos de conmutación de la puerta anterior).

Las expresiones de los tiempos de propagación parecen indicar que disminuyen al hacerlo la tensión de alimentación  $V_{CC}$ , pero sucede al revés ya que la intensidad de canal saturado disminuye fuertemente con la tensión de alimentación:  $I_{SAT} = K_p \cdot W/L \cdot 1/2 \cdot (V_{CC} - V_{uP})^2$ .

Para disminuir los tiempos de propagación causados por altas capacidades de carga o, lo que es lo mismo, por la necesidad de intensidades de salida altas, se utilizan esquemas de amplificación en cascada con inversores cuya anchura de transistor es progresivamente creciente. De esta forma, la carga capacitiva se «reparte» entre varios inversores sucesivos, cuya intensidad crece geométricamente (como también lo hace su capacidad de entrada que carga capacitivamente al anterior inversor) [6].

## 5. Puertas pseudoNMOS

De la misma manera que para el inversor CMOS, el diagrama de Memelink facilita el estudio del inversor pseudoNMOS y permite analizar su función de transferencia; en particular interesa el cálculo de la tensión de salida para valor booleano 0 y de la intensidad que conduce en esta situación [6].



**Figura 7.** Diagrama de Memelink de un inversor pseudoNMOS para tensión de salida 0.

En un inversor pseudoNMOS la tensión de salida para el 0 booleano no será exactamente 0 V sino algo superior, ya que ambos transistores se encuentran en conducción, y se pierde la característica de consumo nulo propia de la tecnología CMOS.

Las áreas de conducción de ambos transistores, supuesto  $V_{oL}$  pequeño, serán

$$A_P = \frac{1}{2}(V_{CC} - V_{uP})^2 \quad A_N = (V_{CC} - V_{uN}) \cdot V_{oL} \quad (13)$$

la igualdad de intensidades en ambos (5) conduce al siguiente valor de la tensión de salida:

$$V_{oL} = \frac{(V_{CC} - V_{uP})^2}{2 \cdot (V_{CC} - V_{uN})} \mu' \cdot \beta \quad (14)$$

y la intensidad conducida en esta situación será:

$$I = \mu \cdot c_{ox} \cdot \frac{W}{L} \cdot \frac{(V_{CC} - V_{uP})^2}{2} \mu' \cdot \beta \quad (15)$$

Para que la tensión de salida sea próxima a 0 V y disminuir, a la vez, la intensidad consumida, interesa  $\beta$  pequeño:  $\beta \ll 1$

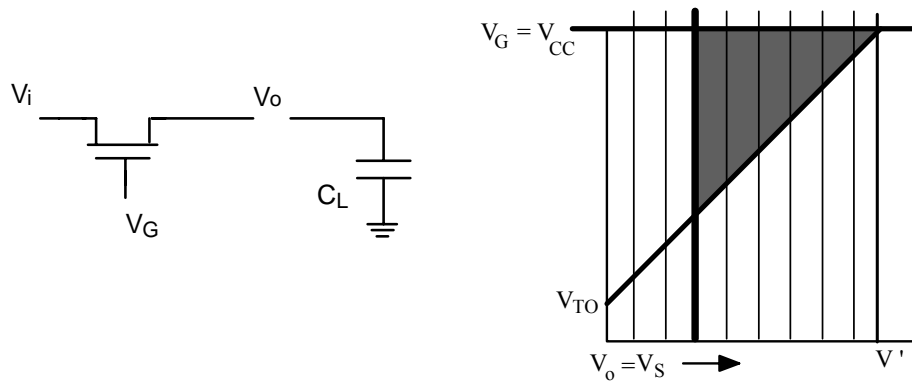
$$\beta = \frac{ff_P}{ff_N} = \frac{W_P/L_P}{W_N/L_N} \ll 1 \quad (16)$$

Para ello, se aumenta adecuadamente la longitud del transistor PMOS de polarización (en una puerta pseudoNMOS hay un solo transistor PMOS y muchos NMOS).



## 6. Transistores de paso y puertas de transmisión

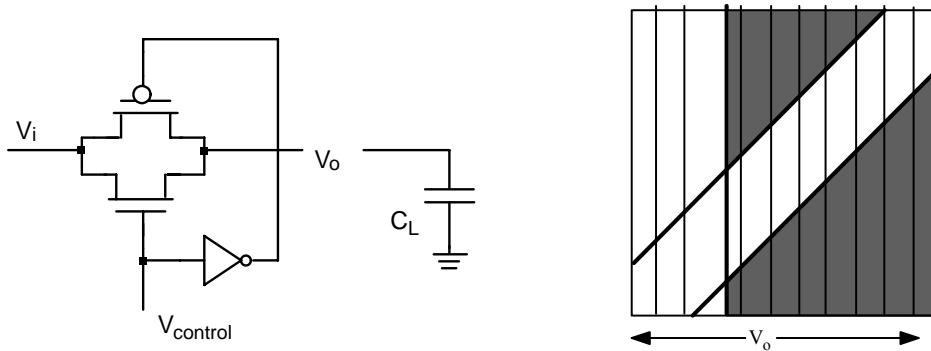
Otro importante complemento de las puertas booleanas CMOS, conformadas por sendos planos de transistores P y N, lo constituye el transistor de paso, equivalente a un simple interruptor [6].



**Figura 8.** Diagrama de Memelink de un transistor de paso NMOS.

El transistor conduce cuando  $V_G = V_{CC} = \mathbf{1}$  y no lo hace para  $V_G = 0 \text{ V} = \mathbf{0}$ . La tensión de salida máxima sobre  $C_L$  es  $V' = V_G - V_{TO}$ ; la salida no llega a alcanzar la tensión correspondiente al  $\mathbf{1}$  booleano  $V_{CC}$  sino que se queda por debajo. Este desplazamiento a la baja de la tensión de salida es aún mayor debido al «efecto substrato»:  $V' = (V_G - V_{TO}) / (1 + a)$ .

Añadiendo al transistor de paso canal N un transistor complementario canal P, en paralelo (con las puertas de ambos conectadas a través de un inversor para que se encuentren en la misma situación de conducción o de corte), se obtiene una puerta de transmisión que evita el desplazamiento en tensión del  $\mathbf{1}$  booleano.



**Figura 9.** Diagrama de Memelink de una puerta de transmisión CMOS.

En una puerta de transmisión la tensión de salida llega a alcanzar  $V_{CC}$  (para  $V_i = V_{control} = V_{CC}$ ) pues el transistor PMOS conduce hasta ese valor y la descarga llega a  $0 \text{ V}$  (cuando  $V_i = V_{control} = 0 \text{ V}$ ) a través del transistor NMOS. El transistor PMOS asegura la salida  $\mathbf{1}$  sin desplazamiento de tensión y el transistor NMOS hace lo propio para la salida  $\mathbf{0}$ .

El cálculo de los tiempos de conmutación de una puerta de transmisión es análogo al indicado anteriormente para un inversor, de forma que los tiempos resultantes son del mismo orden e incluso inferiores: la carga se realiza básicamente por un transistor PMOS ayudado parcialmente por el NMOS que conlleva en paralelo y viceversa (y tal colaboración parcial de ambos transistores reduce los tiempos de propagación).

## 7. Un comentario pertinente y un agradecimiento explícito

Cabe preguntarse qué interés tiene todo esto en un curso de diseño microelectrónico; ¿no basta con enseñar y practicar la descripción, simulación y verificación circuital en un lenguaje de descripción (VHDL o Verilog)?; ¿qué utilidad tiene dedicar tiempo a la tecnología, a la física de los dispositivos?.

Opinamos que el estudio de la microelectrónica digital debe atender, también, a la tecnología; es imprescindible conocer el soporte material del diseño: disponer de un modelo básico conceptual y operativo de la tecnología permitirá conocer sus posibilidades, sus prestaciones, sus limitaciones y sus exigencias (los requisitos que la tecnología impone sobre el diseño).

Debe apreciarse que el estudio de la tecnología con la cual pueden fabricarse los diseños (y con la cual se fabrican, también, los dispositivos en los que pueden programarse) no es una mera «opción cultural» no es una simple oportunidad de conocer cómo son «por dentro» los circuitos integrados. Sino que, de dicho estudio, se derivan muchas cuestiones prácticas, muchas limitaciones, condiciones o requisitos que han de tenerse en cuenta para hacer efectiva la integración de un sistema.

Queremos manifestar nuestro agradecimiento al profesor Jean-Pierre Deschamps que, en un curso de microelectrónica en la Universidad Autónoma de Barcelona, nos puso en contacto con los diagramas de Memelink, que nosotros apreciamos como herramienta muy valiosa y, en tal sentido, hemos aplicado y desarrollado intensivamente en nuestras clases y textos de microelectrónica.

### Referencias

- [1] J-P Deschamps y J.M. Angulo *Diseño de sistemas digitales. Metodología moderna*. Editorial Paraninfo. Madrid 1989.
- [2] T. Pollán *Electrónica Digital III. Microelectrónica* . Pressas Universitarias de Zaragoza. Colección Textos docentes nº 104. Universidad de Zaragoza 2004.
- [3] Página web: <http://www.unizar.es/euitiz/digital.htm>
- [4] Página web: <http://www.unizar.es/euitiz/areas/aretecel/docencia/digitel/digitelib.htm> , capítulo T6
- [5] Página web: <http://www.unizar.es/euitiz/areas/aretecel/docencia/digitel/digitelib.htm> , capítulo T7
- [6] Página web: <http://www.unizar.es/euitiz/areas/aretecel/docencia/digitel/digitelib.htm> , capítulo T8